

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-161852  
 (43)Date of publication of application : 23.06.1995

(51)Int.Cl. H01L 21/8247  
 H01L 29/788  
 H01L 29/792  
 G11C 16/04  
 G11C 16/06

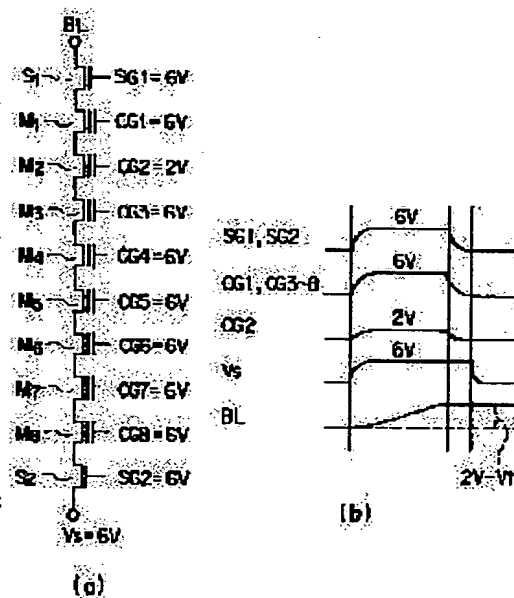
(21)Application number : 05-311732 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 13.12.1993 (72)Inventor : HEMINKU GERUTOYAN  
 TANAKA TOMOHARU

## (54) NONVOLATILE SEMICONDUCTOR MEMORY

## (57)Abstract:

PURPOSE: To read multi-value information without changing a verify-read voltage to shorten verify-read time by performing write-verify control of a time to reach a write status which is set in each memory cell while an increase in a circuit area is restrained.

CONSTITUTION: A charge storage layer and control gates CG1 to CG8 are stacked on a semiconductor layer. In a memory cell array, memory cells which makes it possible to reload electrically a multi-value memory of a plurality of data with a threshold of over 3 are arranged in a matrix pattern. A bit line BL is charged via the memory cells and multi-value data of the memory cells are outputted to the bit line BL as the multi-value level potential. By a sense amplifier, a bit line potential on the multi-value level charged by threshold detecting means is sensed and reloaded in the memory cells if desired. In this manner, a write operation is repeated at short intervals while the degree of progress of the write status is checked.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination] 08.12.1998  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 3181454  
 [Date of registration] 20.04.2001  
 [Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-161852

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl.\*

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247  
29/788  
29/792

H 0 1 L 29/ 78 3 7 1  
G 1 1 C 17/ 00 3 0 8

審査請求 未請求 請求項の数 8 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願平5-311732

(22) 出願日 平成5年(1993)12月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 ヘミンク・ゲルトヤン

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

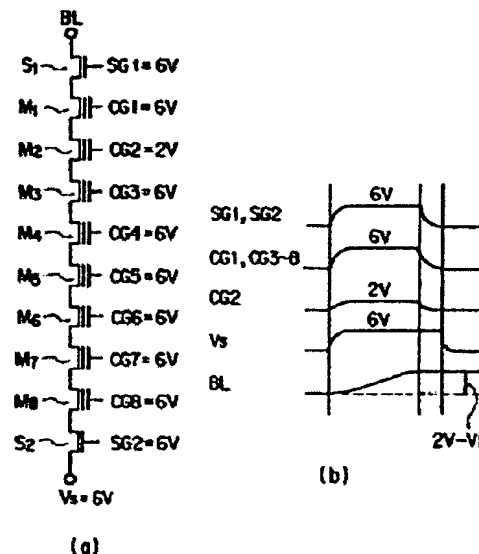
(74) 代理人 弁護士 鈴江 武彦

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 ペリファイ読み出し電圧を変えずに多値情報を読み出すことができ、ペリファイ読み出し時間の短縮をはかり得るNANDセル型EPROMを提供すること。

【構成】 半導体層上に浮遊ゲートと制御ゲートCG (CG1~CG8) を積層して構成され、電氣的書き換えを可能としたメモリセルM (M1~M8) を直列接続してなるNANDセルをマトリクス状に配置されたメモリセルアレイを有するEEPROMにおいて、メモリセルMはしきい値で3以上の複数のデータを多値記憶するものであり、データ読み出し時にメモリセルMに接続されるビット線BLを該メモリセルMを介して充電し、かつメモリセルMの多値データを多値レベルの電位としてビット線BLに出力し、充電された多値レベルのビット線電位をセンスアンプによりセンスすることとを特徴とする。



【特許請求の範囲】

【請求項 1】 半導体層上に電荷蓄積層と制御ゲートを積層して構成され、電氣的書き込みを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルに接続されるビット線を該メモリセルを介して充電するしきい値検出手段と、前記しきい値検出手段によって充電されたビット線の電位をセンスするセンスアンプとを備え、前記しきい値検出手段によるビット線電位は、前記メモリセルのしきい値によって決定されるよう制御される、ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 半導体層上に電荷蓄積層と制御ゲートを積層して構成され、しきい値で3以上の複数のデータを多値記憶する電氣的書き込みを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルに接続されるビット線を該メモリセルを介して充電し、かつメモリセルの多値データを多値レベルの電位としてビット線に出力するしきい値検出手段と、前記しきい値検出手段によって充電された多値レベルのビット線電位をセンスするセンスアンプと、を具備してなることを特徴とする不揮発性半導体記憶装置。

【請求項 3】 前記メモリセルは複数の個々の直列接続されたNANDセル構造を形成し、NANDセルの一端は第1の選択ゲートを介してビット線に接続され、NANDセルの他端は第2の選択ゲートを介してソース線に接続される。

前記しきい値検出手段は、ソース線電圧をNANDセルを介してビット線に転送させビット線を充電し、非選択の制御ゲート電圧及び第1、2の選択ゲート電圧は、選択されたメモリセルのしきい値でビット線電圧が決定するように、非選択メモリセル及び第1、2の選択トランジスタの電圧転送能力を十分高めるように制御される。

ことを特徴とする請求項 1又は2に記載の不揮発性半導体記憶装置。

【請求項 4】 前記センスアンプとして機能し、センスした情報をメモリセルの書き込み動作状態を制御するデータとして記憶する機能を兼ね備えた複数のデータ回路と、

前記メモリセルアレイ中の複数のメモリセルにそれぞれ対応する前記データ回路の内容に応じて書き込み動作を行うための書き込み手段と、

前記複数のメモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認するため前記しきい値検出手段を用いた書き込みベリファイ手段と、

前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書

き込みを行うように、データ回路の内容を一括更新するデータ回路内容一括更新手段とを備え、

前記データ回路内容一括更新手段は、ビット線電位が再書き込みデータとしてセンス/記憶されるよう、メモリセルの書き込み動作後の状態が出力されるビット線の電位をデータ回路の内容に応じて修正し、ビット線電位が修正されるまではデータ回路のデータ記憶状態を保持し、修正されたビット線電位を保持したままデータ回路をセンスアンプとして動作させ、データ回路の内容の一括更新を行い、

データ回路の内容に基づく書き込み動作とデータ回路内容一括更新を、メモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電氣的にデータ書き込みを行う、

ことを特徴とする請求項 2記載の不揮発性半導体記憶装置。

【請求項 5】 前記データ回路は、書き込み動作時にデータ回路に記憶されているデータに応じてメモリセルの書き込み動作状態を制御し、メモリセルの状態を所定の書き込み状態になるよう変化させるか、又はメモリセルの状態を書き込み動作前の状態に保持するか否かを制御し、

前記データ回路内容一括更新手段は、メモリセルを所定の書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルが所定の書き込み状態に達している場合は、データ回路のデータをメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータに変更し、メモリセルを所定の書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルが所定の書き込み状態に達していない場合は、メモリセルの状態を所定の書き込み状態になるよう変化させるよう制御するデータをデータ回路に設定し、

データ回路にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータが記憶されている場合は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するデータをデータ回路に設定する、ことを特徴とする請求項 4記載の不揮発性半導体記憶装置。

【請求項 6】 前記しきい値検出手段によってメモリセルの書き込み後の状態が出力されるビット線電位の中で、前記データ回路の内容がメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータであるものに対応するビット線の電位のみを、データ回路でセンスした場合にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータとなるような補正ビット線電位に設定するビット線電位設定回路を備え、

前記データ回路内容一括更新のため、しきい値検出手段によりメモリセルの書き込み動作後の状態が出力される

ビット線の電位をデータ回路の内容に応じて前記ビット線電位設定回路によって修正する、ことを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】 1 つの前記メモリセルに 3 以上の複数の記憶データ“i” (i = “0”, “1”, “2”, ..., “n-1”) を持たせ多値記憶し、データ“0”に対応する記憶状態は消去状態である不揮発性半導体記憶装置であって、

前記データ回路は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するかどうかを情報として記憶する第 1 のデータ記憶部と、第 1 のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合メモリセルが記憶すべき書き込みデータ“i” (i = 1, 2, ..., n-1) を示す情報を記憶する第 2 のデータ記憶部と、から構成され、

前記第 1 のデータ記憶部は、前記データ回路内容一括更新のためデータ回路の内容に応じて前記ビット線電位設定回路によって修正された、しきい値検出手段によりメモリセルの書き込み動作後の状態が出力されるビット線の電位を、センス/記憶する機能を兼ね備える、ことを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】 第 1 のデータ記憶部は、参照電圧とビット線電圧を比較することでビット線電位をセンスする機能を備え、

前記データ回路内容一括更新のため、データ回路の内容に応じた参照電圧を用いて、データ回路の内容に応じて前記ビット線電位設定回路によって修正された、しきい値検出手段によりメモリセルの書き込み動作後の状態が出力されるビット線の電位を、センス/記憶する機能を兼ね備える、

ことを特徴とする請求項 7 記載の不揮発性半導体記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】 本発明は、電気的書換え可能な不揮発性半導体記憶装置 (EEPROM) に係わり、特に 1 つのメモリセルに 1 ビットより多い情報を記憶させる多値記憶を行う EEPROM に関する。

##### 【0002】

【従来の技術】 EEPROM の 1 つとして、高集積化が可能な NAND セル型 EEPROM が知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続し、これを 1 単位としてビット線に接続するものである。メモリセルは通常、浮遊ゲート (電荷蓄積層) と制御ゲートが積層された FET MOS 構造を有する。メモリセルアレイは、p 型基板又は n 型基板に形成された p 型ウェル内に集積形成される。NAND セルのドレイン側は選択ゲー

トを介してビット線に接続され、ソース側はやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

【0003】 この NAND セル型 EEPROM の動作は、次の通りである。データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧  $V_{pp}$  (= 20V 程度) を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電圧  $V_{ppm}$  (= 10V 程度) を印加し、ビット線にはデータに応じて 0V 又は中間電圧  $V_m$  (= 8V 程度) を与える。

【0004】 ビット線に 0V が与えられた時、その電位は選択メモリセルのドレインまで転送されて、電荷蓄積層に電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を例えば“1”とする。ビット線に  $V_m$  が与えられた時は電子注入が実効的に起こらず、従ってしきい値は変化せず、負に止まる。この状態は消去状態で“0”とする。データ書き込みは制御ゲートを共有するメモリセルに対して同時に行われる。

【0005】 データ消去は、NAND セル内の全てのメモリセルに対して同時に行われる。即ち、全ての制御ゲートを 0V とし、p 型ウェルを 20V とする。このとき、選択ゲート、ビット線及びソース線も 20V にされる。これにより、全てのメモリセルで電荷蓄積層の電子が p 型ウェルに放出され、しきい値は負方向にシフトする。

【0006】 データ読み出しは、選択されたメモリセルの制御ゲートを 0V とし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位  $V_{cc}$  (例えば 5V) として、選択メモリセルで電流が流れるかどうかを検出することにより行われる。

【0007】 読み出し動作の制約から、“1”書き込み後のしきい値は 0V から  $V_{cc}$  の間に制御しなければならぬ。このため、書き込みベリファイが行われ、“1”書き込み不足のメモリセルのみを検出し、“1”書き込み不足のメモリセルに対してのみ再書き込みが行われるよう再書き込みデータを設定する (ビット毎ベリファイ)。“1”書き込み不足のメモリセルは、選択された制御ゲートを例えば 0.5V (ベリファイ電圧) にして読み出すこと (ベリファイ読み出し) で検出される。つまり、メモリセルのしきい値が 0V に対してマージンを持って、0.5V 以上になっていないと、選択メモリセルで電流が流れ、“1”書き込み不足と検出される。

【0008】 “0”書き込み状態にするメモリセルでは当然電流が流れるため、このメモリセルが“1”書き込み不足と誤認されないよう、メモリセルを流れる電流を補償するベリファイ回路と呼ばれる回路が設けられる。

このペリファイ回路によって高速に書き込みペリファイは実行される。

【0009】書き込み動作と書き込みペリファイを繰り返しながらデータ書き込みをすることで個々のメモリセルに対して、書き込み時間が最適化され“1”書き込み後のしきい値は0VからVccの間に制御される。

【0010】このNANDセル型EEPROMで、例えば書き込み後の状態を“0”、“1”、“2”の3つにすることを考える。“0”書き込み状態はしきい値が良、“1”書き込み状態はしきい値が例えば0Vから(1/2)Vcc、“2”書き込み状態はしきい値が(1/2)VccからVccまでとする。従来のペリファイ読み出しでは、制御ゲートにペリファイ電圧を印加しメモリセルで電流が流れるか否かで、メモリセルのしきい値がペリファイ電圧以上か否かを判断するため、“1”、“2”書き込み状態に達しているか否かを判断するためにそれぞれペリファイ電圧を0Vと(1/2)Vccにして、2回チェックする必要がある。ペリファイ読み出しに時間がかかるという問題があった。

【0011】

【発明が解決しようとする課題】以上のように従来のNANDセル型EEPROMにおいては、メモリセルに多値情報を記憶させ、従来のペリファイ回路でビット毎ペリファイを行うとすると、ペリファイ読み出しに時間がかかるという問題があった。

【0012】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、ペリファイ読み出し電圧を変えることなく多値情報を読み出すことができ、ペリファイ読み出し時間の短縮をはかり得るEEPROMを提供することにある。

【0013】

【課題を解決するための手段】本発明に係る多値(n値)記憶NANDセル型EEPROMは、読み出し動作時のビット線電位がメモリセルのしきい値を示すように制御される。これは例えば、共通ソース線を6V、選択された制御ゲートに2Vを与え、ビット線に共通ソース線の電位を転送させる。ビット線電位がメモリセルのしきい値に達した時、メモリセルを流れる電流は止まり、そのビット線電位は制御ゲート電圧2Vからメモリセルのしきい値を引いた値となる。ビット線電位が3Vであれば、メモリセルのしきい値は-1Vである。非選択の制御ゲートと選択ゲートは、ビット線電位が非選択メモリセル或いは選択トランジスタのしきい値で決定しないよう、例えば6Vとする。

【0014】消去状態を“0”とし多値レベルをメモリセルのしきい値の低い順に“0”、“1”、…、“i”、…、“n-1”とすると、ペリファイ読み出しでは書き込みが十分か否かを全てのデータ“i”について同時にペリファイするために、書き込みデータに応じてビット線電位をセンスする時の基準電位が設定される。

また、データ“0”書き込みの場合のように、すでに書き込み十分と検出されていればメモリセルの電流は補償され、書き込み不十分であると検出されていればメモリセルの電流は補償されないようペリファイ回路が設けられる。

【0015】また、書き込み十分か否かをデータとして記憶する第1のレジスタと、書き込む多値レベルが“1”、…、“n-1”のうちのいずれかを記憶する第2のレジスタを備え、第1のレジスタは書き込み十分か否かを検出するセンスアンプの機能も兼ね備える。さらに、所望の書き込み状態に達していないメモリセルがあれば、そのメモリセルのみに再書き込みが行われるよう、所望の書き込み状態に応じて書き込み時のビット線電圧を出力するビット線書き込み電圧出力回路を備えたことを特徴としている。

【0016】即ち本発明は、半導体層上に電荷蓄積層と制御ゲートを積層して構成され、しきい値で3以上の複数のデータを多値記憶する電氣的書き換えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルに接続されるビット線を該メモリセルを介して充電し、かつメモリセルの多値データを多値レベルの電位としてビット線に出力するしきい値検出手段と、しきい値検出手段によって充電された多値レベルのビット線電位をセンスするセンスアンプとを備えた不揮発性半導体装置を基本構成とし、次の実施態様を特徴とする。

(1) メモリセルは複数個づつ直列接続されNANDセル構造を形成し、NANDセルの一端は第1の選択ゲートを介してビット線に接続され、NANDセルの他端は第2の選択ゲートを介してソース線に接続され、しきい値検出手段は、ソース線電圧をNANDセルを介してビット線に転送させビット線を充電し、非選択の制御ゲート電圧及び第1、2の選択ゲート電圧は、選択されたメモリセルのしきい値でビット線電圧が決定するように、非選択メモリセル及び第1、2の選択トランジスタの電圧転送能力を十分高めるように制御されること。

(2) センスアンプとして機能し、センスした情報をメモリセルの書き込み動作状態を制御するデータとして記憶する機能を兼ね備えた複数のデータ回路と、メモリセルアレイ中の複数のメモリセルにそれぞれ対応するデータ回路の内容に応じて書き込み動作を行うための書き込み手段と、複数のメモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認するためのしきい値検出手段を用いた書き込みペリファイ手段と、データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を一括更新するデータ回路内容一括更新手段とを備え、データ回路内容一括更新手段は、ビット線電位が再書き込みデータとしてセンス/記憶されるよう、メモリセルの書き込み動作

後の状態が出力されるビット線の電位をデータ回路の内容に応じて修正し、ビット線電位が修正されるまではデータ回路のデータ記憶状態を保持し、修正されたビット線電位を保持したままデータ回路をセンスアンプとして動作させ、データ回路の内容の一括更新を行い、データ回路の内容に基づき書き込み動作とデータ回路内容一括更新を、メモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電氣的にデータ書き込みを行うこと。

(3) データ回路は、書き込み動作時にデータ回路に記憶されているデータに応じてメモリセルの書き込み動作状態を制御し、メモリセルの状態を所定の書き込み状態になるよう変化させるか、又はメモリセルの状態を書き込み動作前の状態に保持するか否かを制御し、データ回路内容一括更新手段は、メモリセルを所定の書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルが所定の書き込み状態に達している場合は、データ回路のデータをメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータに変更し、メモリセルを所定の書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルが所定の書き込み状態に達していない場合は、メモリセルの状態を所定の書き込み状態になるよう変化させるよう制御するデータをデータ回路に設定し、データ回路にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータが記憶されている場合は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するデータをデータ回路に設定すること。

(4) しきい値検出手段によってメモリセルの書き込み後の状態が出力されるビット線電位の中で、データ回路の内容がメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータであるものに対応するビット線の電位のみを、データ回路でセンスした場合にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータとなるような補正ビット線電位に設定するビット線電位設定回路を備え、データ回路内容一括更新のため、しきい値検出手段によりメモリセルの書き込み動作後の状態が出力されるビット線の電位をデータ回路の内容に応じてビット線電位設定回路によって修正すること。

(5) 1つのメモリセルに3以上の複数の記憶データ“i” ( $i = “0”, “1”, “2”, …, “n-1”$ )を持たせ多値記憶し、データ“0”に対応する記憶状態は消去状態である不揮発性半導体記憶装置であって、データ回路は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するか否かを情報として記憶する第1のデータ記憶部と、第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合メモリセルが記憶すべき書き

込みデータ“i” ( $i = 1, 2, …, n-1$ )を示す情報を記憶する第2のデータ記憶部とから構成され、第1のデータ記憶部は、データ回路内容一括更新のためのデータ回路の内容に応じてビット線電位設定回路によって修正された、しきい値検出手段によりメモリセルの書き込み動作後の状態が出力されるビット線の電位を、センス/記憶する機能を兼ね備えること。

(6) 第1のデータ記憶部は、参照電圧とビット線電圧を比較することでビット線電位をセンスする機能を備え、データ回路内容一括更新のため、データ回路の内容に応じた参照電圧を用いて、データ回路の内容に応じてビット線電位設定回路によって修正された、しきい値検出手段によりメモリセルの書き込み動作後の状態が出力されるビット線の電位を、センス/記憶する機能を兼ね備えること。

(7) 第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御する情報である場合、書き込み動作時にビット線に書き込み防止ビット線電圧を出力する書き込み防止ビット線電圧出力回路と、第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合、第2のデータ記憶部のメモリセルが記憶すべき書き込みデータ“i” ( $i = 1, 2, …, n-1$ )を示す情報に応じて第iの書き込み時のビット線電圧を出力する第iの書き込みビット線電圧出力回路とを備えたこと。

(8) ビット線電位設定回路を活性化する第1のデータ記憶部のデータと書き込み防止ビット線電圧出力回路を活性化する第1のデータ記憶部のデータが反転していて、書き込み動作時の第1のデータ記憶部のデータをビット線電位設定回路活性化前に反転させるデータ反転手段を備えたこと。

【0017】

【作用】本発明においては、多値データ書き込みを行った後、個々のメモリセルの書き込み状態がその所望の多値レベル状態に達しているか否かが同時に検出される。そして、所望の多値レベルに達していないメモリセルがあれば、そのメモリセルのみに再書き込みが行われるよう、所望の書き込み状態に応じて書き込み時のビット線電圧が出力される。この書き込み動作とベリファイ読み出しを繰り返し、全てのメモリセルが所望の書き込み状態に達していることを確認したらデータ書き込みを終了する。

【0018】このようにして本発明によれば、1回の書き込み時間を短くして、書き込み状態の進行の程度をチェックしながら小刻みに書き込み動作を繰り返すことによって、最終的にデータ書き込みが終了したメモリセルのしきい値を小さくすることを、高速に行うことができる。

【0019】

【実施例】以下、本発明の実施例を図面を参照して説明

する。図1は、本発明の第1の実施例に係わるNANDセル型EEPROMのメモリセルアレイ1を示している。

メモリセルアレイ1はpウェル又はp基板の上に形成され、ビット線BLに接続される選択トランジスタS1と、共通ソース線Vsに接続される選択トランジスタS2との間に、8つのメモリセルM1~M8が直列接続され1つのNANDセルを構成する。各選択トランジスタS(S1, S2)は選択ゲートSG(SG1, SG2)を有する。各メモリセルは積層形成された浮遊ゲート(電荷蓄積層)と制御ゲートCG(CG1~CG8)を有し、浮遊ゲートに蓄えられる電荷の量で情報を記憶する。この蓄えられた電荷の量は、メモリセルのしきい値として読み出すことができる。

【0020】本発明では、このしきい値を図2に示されるようにして読み出す。ここでは、制御ゲートCG2を有するメモリセルM2が選択されている。図2(a)に示すように電圧を各部に印加し、ビット線BLはフローティングにする。ビット線BLを前もって0Vにリセットしておく、ビット線BLは共通ソース線VsによってNANDセルを通して充電される。この充電されたビット線BLの電位が選択されたメモリセルM2のしきい値によって決まるように、各選択ゲート、制御ゲート電圧は制御される。

【0021】この例では、選択ゲートSG1, 2、制御ゲートCG1, CG3~8を6Vに、選択された制御ゲートCG2を2Vに、共通ソース線Vsを6Vにする。各部の電圧波形は図2(b)に示されている。これにより2V以下のしきい値を読み出すことができ、非選択メモリセルのしきい値を2.5V以下に制御しておけば、1.5V以上のしきい値を読み出すことができる。ビット線BLの電位が0Vであればしきい値は2V以上、ビット線電位が3.5Vであればしきい値は-1.5V以下である。選択ゲートSG1, 2、非選択制御ゲートCG1, CG3~8の電圧を十分高くすると、4Vまでのしきい値も読み出すことができる。

【0022】この場合のメモリセルのしきい値とビット線出力電圧の関係は、図3に示すようになる。バックバイアスが0Vの場合のしきい値から計算すると実線のようになるが、実際にはビット線電圧がバックバイアスとなって1点鎖線のようにビット線出力電圧は低くなる。以下、説明の簡略化のため断らない限りしきい値という表現は、バックバイアスを考慮したものとする。

【0023】消去動作によってメモリセルの浮遊ゲートから電子が放出された後、書き込みデータに従う書き込み動作によって電子が浮遊ゲートに注入される。図4は、非選択メモリセルのしきい値で読み出し時のビット線出力電圧が制限されない場合の、書き込み時間と読み出し時のビット線出力電圧の関係を示している。例えば、読み出し時の共通ソース線の電圧が3Vの場合は、浮遊ゲートへ電子が注入されしきい値が-1V以上にな

らないとビット線出力電圧は変化しない。共通ソース線の電圧が6Vの場合でも、非選択メモリセルのしきい値が正の値であれば、読み出し時のビット線出力電圧は制限される。

【0024】1つのメモリセルに2つの状態(データ“0”, “1”)を持たせる場合、例えば図5に示すように読み出し時のビット線出力電圧が3~4Vとなる状態(しきい値で約-2V~-1V)をデータ“0”(消去状態)、ビット線出力電圧が1~2Vとなる状態(しきい値で約0~1V)をデータ“1”とすればよい。

【0025】1つのメモリセルに3つの状態(データ“0”, “1”, “2”)を持たせる場合、例えば図6に示すように読み出し時のビット線出力電圧が3.5~4.5Vとなる状態(しきい値で約-2.5V~-1.5V)をデータ“0”(消去状態)、ビット線出力電圧が1.5~2.5Vとなる状態(しきい値で約-0.5V~-0.5V)をデータ“1”、ビット線出力電圧が0~0.5Vとなる状態(しきい値で約1.5V~2.5V)をデータ“2”とすればよい。

【0026】図7は、本発明の第2の実施例に係わるNORセル型EEPROMのメモリセルアレイ1を示している。メモリセルアレイ1はpウェル又はp基板の上に形成され、ビット線BLと共通ソース線Vsの間に、メモリセルMが1つずつ配置される。各メモリセルは積層形成された浮遊ゲートとワード線WLを有する。

【0027】このメモリセルのしきい値を図8に示されるようにして読み出す。図8(a)に示すように電圧を各部に印加し、ビット線BLはフローティングにする。ビット線BLを前もって0Vにリセットしておく、ビット線BLは共通ソース線Vsによってメモリセルを通して充電される。この充電されたビット線BLの電位は選択されたメモリセルMのしきい値で決まる。

【0028】この例では、ワード線WLを6Vに、共通ソース線Vsを6Vにする。各部の電圧波形は図8(b)に示されている。これにより、0~6Vのしきい値を読み出すことができる。ビット線BLの電位が0Vであればしきい値は6V以上、ビット線電位が6Vであればしきい値は0V以下である。この場合のメモリセルのしきい値とビット線出力電圧の関係は、図9に示すようになる。バックバイアスが0Vの場合のしきい値から計算すると実線のようになるが、実際には図3と同様に、ビット線電圧がバックバイアスとなって1点鎖線のようにビット線出力電圧は低くなる。

【0029】消去動作によってメモリセルの浮遊ゲートに電子が注入された後、書き込みデータに従う書き込み動作によって電子が浮遊ゲートから放出される。図10は、書き込み時間と読み出し時のビット線出力電圧の関係を示している。例えば、読み出し時の共通ソース線の電圧が3Vの場合は、浮遊ゲートから電子が放出されしきい値が3V以下になるとビット線出力電圧は変化しな

い、共通ソース線の電圧が6Vの場合でも、しきい値が0V以下になると読み出し時のビット線出力電圧は変化しなくなる。

【0030】1つのメモリセルに2つの状態(データ“0”、“1”)を持たせる場合、例えば図11に示すように読み出し時のビット線出力電圧が1~2Vとなる状態(しきい値で約4N~5V)をデータ“0”(消去状態)、ビット線出力電圧が3~4Vとなる状態(しきい値で約2V~3V)をデータ“1”とすればよい。

【0031】1つのメモリセルに3つの状態(データ“0”、“1”、“2”)を持たせる場合、例えば図12に示すように読み出し時のビット線出力電圧が0~0.5Vとなる状態(しきい値で約5.5V以上)をデータ“0”(消去状態)、ビット線出力電圧が1.5~2.5Vとなる状態(しきい値で約3.5V~4.5V)をデータ“1”、ビット線出力電圧が3.5~4.5Vとなる状態(しきい値で約1.5V~2.5V)をデータ“2”とすればよい。

【0032】図13は、本発明における第1及び第2の実施例における3値記憶式EEPROMの構成を示している。メモリセルアレイ1((a)(b))に対して、読み出し/書き込み時のビット線を制御するためのビット線制御回路2と、ワード線電位を制御するためのワード線駆動回路6が設けられる。ビット線制御回路2はカラム・デコーダ3によって選択される。ビット線制御回路2は、データ入出力線(10線)を介して入出力データ変換回路4と読み出しデータ/書き込みデータのやり取りを行う。入出力データ変換回路4は、読み出されたメモリセルの多値情報を外部に出力するため2値情報に変換し、外部から入力された書き込みデータの2値情報をメモリセルの多値情報に変換する。入出力データ変換回路4は、外部とのデータ入出力を制御するデータ入出力バッファ5に接続される。

【0033】図14は、第1の実施例におけるNANDセル型EEPROMのメモリセルアレイ1とビット線制御回路2の具体的な構成を示している。NAND型セルの一端はビット線BLに接続され、他端は共通ソース線V<sub>ss</sub>と接続される。選択ゲートSG1、2、制御ゲートCG1~8は、複数のNAND型セルで共有され、1本の制御ゲートを共有するメモリセルMはページを構成する。メモリセルはそのしきい値V<sub>t</sub>でデータを記憶し、前記図6に示すように“0”、“1”、“2”データを記憶する。1つのメモリセルで3つの状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。

【0034】この実施例では、制御ゲートを共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。また、メモリセルアレイ1((a)(b))はそれぞれ専用のロウウェル上に形成されている。

【0035】nチャネルMOSトランジスタ(n-ch Tr.) Qn8~10とpチャネルMOSトランジスタ(p-ch Tr.) Qn3~5、n-ch Tr. Qn11~13とp-ch Tr. Qn6~8でそれぞれフリップ・フロップFF1、2を構成し、書き込み/読み出しデータをラッチする。また、センス・アンプとしても動作する。フリップ・フロップFF1は、“0”書き込みをするか、“1”又は“2”書き込みをするか、を書き込みデータ情報としてラッチし、メモリセルが“0”の情報保持しているか、“1”又は“2”の情報保持しているか、を読み出しデータ情報としてラッチする。フリップ・フロップFF2は、“1”書き込みをするか、“2”書き込みをするか、を書き込みデータ情報としてラッチし、メモリセルが“2”の情報保持しているか、“0”又は“1”の情報保持しているか、を読み出しデータ情報としてラッチする。

【0036】n-ch Tr. Qn1は、プリチャージ信号φ<sub>pa</sub>が“H”となると電圧V<sub>a</sub>をビット線BL<sub>a</sub>に転送する。n-ch Tr. Qn20は、プリチャージ信号φ<sub>pb</sub>が“H”となると電圧V<sub>b</sub>をビット線BL<sub>b</sub>に転送する。n-ch Tr. Qn4~7、p-ch Tr. Qp1~2は、フリップ・フロップFF1、FF2にラッチされているデータに応じて、電圧VBH<sub>a</sub>、VBH<sub>b</sub>、VBL<sub>a</sub>を選択的にビット線BL<sub>a</sub>に転送する。n-ch Tr. Qn14~17、p-ch Tr. Qp9~10は、フリップ・フロップFF1、FF2にラッチされているデータに応じて、電圧VBH<sub>b</sub>、VBL<sub>b</sub>を選択的にビット線BL<sub>b</sub>に転送する。n-ch Tr. Qn2は信号φ<sub>a1</sub>が“H”となることでフリップ・フロップFF1とビット線BL<sub>a</sub>を接続する。n-ch Tr. Qn3は信号φ<sub>a2</sub>が“H”となることでフリップ・フロップFF2とビット線BL<sub>a</sub>を接続する。n-ch Tr. Qn19は信号φ<sub>b1</sub>が“H”となることでフリップ・フロップFF1とビット線BL<sub>b</sub>を接続する。n-ch Tr. Qn18は信号φ<sub>b2</sub>が“H”となることでフリップ・フロップFF2とビット線BL<sub>b</sub>を接続する。

【0037】次に、このように構成されたEEPROMの動作を図15~17に従って説明する。図15は読み出し動作のタイミング、図16は書き込み動作のタイミング、図17はベリファイ読み出し動作のタイミングを示している。いずれも制御ゲートCG2<sub>a</sub>が選択された場合を例に示してある。

【0038】読み出し動作は、2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧V<sub>b</sub>が3Vとなってダミービット線となるビット線BL<sub>b</sub>はプリチャージされる。また、プリチャージ信号φ<sub>pa</sub>が“L”となって選択ビット線BL<sub>a</sub>はフローティングにされ、共通ソース線V<sub>ss</sub>が6Vとなる。続いて、選択ゲートSG1<sub>a</sub>、2<sub>a</sub>、制御ゲートCG1<sub>a</sub>、3<sub>a</sub>~8<sub>a</sub>は6Vとされる。同時に選択された制御ゲートCG2<sub>a</sub>は2Vにされる。選択されたメモリセルにデータ“0”が書

き込まれている場合のみ、ビット線BLaの電圧は3V以上となる。

【0039】この後、フリップ・フロップ活性化信号 $\phi_{n1}$ 、 $\phi_{p1}$ がそれぞれ“L”、“H”となって、フリップ・フロップFFF1はリセットされる。信号 $\phi_{a1}$ 、 $\phi_{b1}$ が“H”となってフリップ・フロップFFF1とビット線BLa、BLbは接続され、信号 $\phi_{n1}$ 、 $\phi_{p1}$ がそれぞれ“H”、“L”となってビット線電位がセンスされ、フリップ・フロップFFF1に、“0”データか、“1”又は“2”データかの情報がラッチされる。

【0040】読み出し第2サイクルは読み出し第1サイクルと、ダミービット線BLbの電圧が3Vでなく1Vであること、信号 $\phi_{a1}$ 、 $\phi_{b1}$ 、 $\phi_{n1}$ 、 $\phi_{p1}$ のかわりに信号 $\phi_{a2}$ 、 $\phi_{b2}$ 、 $\phi_{n2}$ 、 $\phi_{p2}$ が出力されることが違う。よって、読み出し第2サイクルでは、フリップ・フロップFFF2に、“2”データか、“1”又は“0”データかの情報がラッチされる。

【0041】以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値Vtは-1.5V以下となっている。消去はpウェル、共通ソース線Vsa、選択ゲートSG1a、2aを20Vにし、制御ゲートCG1a~8aを0Vとして行われる。

【0042】書き込み動作では、まずプリチャージ信号 $\phi_{pa}$ が“L”となってビット線BLaがフローティングにされる。選択ゲートSG1aがVcc、制御ゲートCG1a~8aがVccとされる。選択ゲートSG2aは書き込み動作中0Vである。同時に、信号VRFYaが“H”、PBaが“L”となる。“0”書き込みの場合は、フリップ・フロップFFF1にノードN1が“L”になるようにデータがラッチされているため、ビット線BLaは電圧VBHaによりVccに充電される。“1”又は“2”書き込みの場合は、ビット線BLaは0Vである。

【0043】続いて、選択ゲートSG1a、制御ゲートCG1a~8aが10V、電圧VBHa、Vrwが8V、電圧VBMaが1Vとなる。“1”書き込みの場合は、フリップ・フロップFFF2にノードN3が“L”になるようにデータがラッチされているため、ビット線BLaには電圧VBMaにより1Vが印加される。“2”書き込みの場合はビット線BLaは0V、“0”書き込みの場合は8Vとなる。この後、選択された制御ゲートCG2aが20Vとされる。

【0044】“1”又は“2”書き込みの場合は、ビット線BLaと制御ゲートCG2aの電位差によって電子がメモリセルの電荷蓄積層に注入され、メモリセルのしきい値は上昇する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層に注入すべき電荷量を少なくしなければならないため、ビット線BL

aを1Vにして制御ゲートCG2aとの電位差を19Vに緩和している。“0”書き込み時は、ビット線電圧8Vによってメモリセルのしきい値は実効的には変わらない。

【0045】書き込み動作の終了時は、まず選択ゲートSG1a、制御ゲートCG1a~8aを0Vとし、“0”書き込み時のビット線BLaの電圧8Vは遅れて0Vにリセットされる。この順序が反転すると一時的に“2”書き込み動作の状態ができて、“0”書き込み時に間違ったデータを書いてしまうからである。

【0046】書き込み動作後に、メモリセルの書き込み状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ペリフェリ読み出しが行われる。ペリフェリ読み出しは、読み出し第1サイクルに似ている。違うのは、まずフリップ・フロップFFF1のデータを反転すること、電圧VbがVccとなること、信号VRFYa、VRFYbが出力され、その時電圧VBLb、VBMbがそれぞれ2.5V、0.5Vとなることである。電圧Vb、VBLb、VBMbとフリップ・フロップFFF1、2のデータによって、ダミービット線BLbの電圧は決定される。信号VRFYa、VRFYbは、選択ゲートSG1a、2a、制御ゲートCG1a~8aが0Vにリセットされた後で信号 $\phi_{n1}$ 、 $\phi_{p1}$ がそれぞれ“L”、“H”になる前に出力される。言い替えると、ビット線BLaの電位がメモリセルのしきい値によって決定した後で、フリップ・フロップFFF1がリセットされる前である。

【0047】フリップ・フロップFFF1のデータを反転動作を説明する。まず、電圧Vbが2.5Vとなってダミービット線となるビット線BLbはプリチャージされる。また、プリチャージ信号 $\phi_{pa}$ 、 $\phi_{pb}$ が“L”となってビット線BLa、BLbはフローティングにされる。続いて、信号PBaが“L”となって、ノードN1が“L”の場合のみビット線BLaは2.5V以上に充電される。その後、フリップ・フロップ活性化信号 $\phi_{n1}$ 、 $\phi_{p1}$ がそれぞれ“L”、“H”となって、フリップ・フロップFFF1はリセットされる。信号 $\phi_{a1}$ 、 $\phi_{b1}$ が“H”となってフリップ・フロップFFF1とビット線BLa、BLbは接続され、信号 $\phi_{n1}$ 、 $\phi_{p1}$ がそれぞれ“H”、“L”となってビット線電位がセンスされる。この動作によってフリップ・フロップFFF1のデータは反転される。

【0048】次に、フリップ・フロップFFF1にラッチされているデータ(data1)、フリップ・フロップFFF2にラッチされているデータ(data2)と選択されたメモリセルのしきい値によって決まるデータ反転動作後のビット線BLの電圧を説明する。data1は“0”書き込みか、“1”又は“2”書き込みかを制御し、“0”書き込みの場合はノードN1はデータ反転動作後に“H”、“1”又は“2”書き込みの場合は

ノードN1はデータ反転動作後に“L”である。data2は“1”書き込みか、“2”書き込みかを制御し、“1”書き込みの場合はノードN3は“L”、“2”書き込みの場合はノードN3は“H”である。

【0049】“0”データ書き込み後のペリファイ読み出し動作では、メモリの状態によらず、信号VRFYaが“H”となることで0Vの電圧VBLa又はVBLMeによってビット線BLは“L”となる。よって、フリップ・フロップFF1によってノードN1が“L”になるようにビット線BLはセンスされ、ラッチされる再書き込みデータは、“0”である。

【0050】“1”データ書き込み後のペリファイ読み出し動作では、信号VRFYbが“H”となってダミービット線BLbは2.5Vとされる。よって、メモリセルが“1”書き込み状態に達していない場合、ビット線BLaは2.5V以上で、フリップ・フロップFF1によってノードN1が“H”になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、“1”である。メモリセルが“1”書き込み状態に達している場合、ビット線BLaは2.5V以下で、フリッ

プ・フロップFF1によってノードN1が“L”になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、“0”である。

【0051】“2”データ書き込み後のペリファイ読み出し動作では、信号VRFYbが“H”となってダミービット線BLbは0.5Vとされる。よって、メモリセルが“2”書き込み状態に達していない場合、ビット線BLaは0.5V以上で、フリップ・フロップFF1によってノードN1が“H”になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、“2”である。メモリセルが“2”書き込み状態に達している場合、ビット線BLaは0.5V以下で、フリッ

プ・フロップFF1によってノードN1が“L”になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、“0”である。このペリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが下記の(表1)のように設定される。

【0052】

【表1】

書き込みデータ	0	0	0	1	1	2	2	2
メモリセルのデータ	0	1	2	0	1	0	1	2
再書き込みデータ	0	0	0	1	0	2	2	0

この(表1)から分かるように、“1”書き込み状態になるべきにもかかわらず“1”書き込み不足のメモリセルのみ再度“1”書き込みが行われ、“2”書き込み状態になるべきにもかかわらず“2”書き込み不足のメモリセルのみ再度“2”書き込みが行われるようになっている。

【0053】書き込み動作とペリファイ読み出し動作を

繰り返し行うことによって、データ書き込みは行われる。下記の(表2)に、消去、書き込み、読み出し、ペリファイ読み出し時のメモリセルアレイ各部の電位を示す。

【0054】

【表2】

	消去	書き込み			読み出し		ベリファイ 読み出し
		"0"	"1"	"2"	01付の "H"	02付の "L"	
BLa	20V	8V	1V	0V	"0"読み出し "H"	"2"読み出し "L"	図17参照
SG1a	20V		10V		6V	6V	6V
CG1a	0V		10V		6V	6V	6V
CG2a	0V		20V		2V	2V	2V
CG3a	0V		10V		6V	6V	6V
CG4a	0V		10V		6V	6V	6V
CG5a	0V		10V		6V	6V	6V
CG6a	0V		10V		6V	6V	6V
CG7a	0V		10V		6V	6V	6V
CG8a	0V		10V		6V	6V	6V
SG2a	20V		0V		6V	6V	6V
Vsa	20V		0V		6V	6V	6V
プウェル	20V		0V		0V	0V	0V

【0055】図18は、第2の実施例におけるNORセル型EEPROMのメモリセルアレイ1とビット線制御回路2の具体的な構成を示している。NOR型セルの一端はビット線BLに接続され、他端は共通ソース線Vsと接続される。ワード線WLは、複数のNOR型セルで共有され、1本のワード線を共有するメモリセルMはページを構成する。メモリセルはそのしきい値Vtでデータを記憶し、図12のように"0"、"1"、"2"データを記憶する。1つのメモリセルで3つの状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。この実施例では、ワード線を共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。また、メモリセルアレイ1 (a)(b)はp基板に形成されている。

【0056】n-ch Tr. Qn 26~28とp-ch Tr. Qn 15~17、n-ch Tr. Qn 29~31とp-ch Tr. Qn 18~20でそれぞれフリップ・フロップFF3、4を構成し、書き込み/読み出しデータをラッチする。また、センス・アンプとしても動作する。フリップ・フロップFF3は、「"0"書き込みをするか」、「"1"又は"2"書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「"0"の情報を持っているか」、「"1"又は"2"の情報を持っているか」、を読み出

しデータ情報としてラッチする。フリップ・フロップFF4は、「"1"書き込みをするか」、「"2"書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「"2"の情報を持っているか」、「"0"又は"1"の情報を持っているか」、を読み出しデータ情報としてラッチする。

【0057】n-ch Tr. Qn 21は、プリチャージ信号φpaが"H"となると電圧Vaをビット線BLaに転送する。n-ch Tr. Qn 36は、プリチャージ信号φpbが"H"となると電圧Vbをビット線BLbに転送する。n-ch Tr. Qn 24、25、p-ch Tr. 11~14は、フリップ・フロップFF3、FF4にラッチされているデータに応じて、電圧VBHa、VBMa、0Vを選択的にビット線BLaに転送する。n-ch Tr. Qn 32、33、p-ch Tr. 21~24は、フリップ・フロップFF3、FF4にラッチされているデータに応じて、電圧VBHb、VBMb、0Vを選択的にビット線BLbに転送する。n-ch Tr. Qn 22は信号φa1が"H"となることでフリップ・フロップFF3とビット線BLaを接続する。n-ch Tr. Qn 23は信号φa2が"H"となることでフリップ・フロップFF4とビット線BLaを接続する。n-ch Tr. Qn 35は信号φb1が"H"となることでフリップ・フロップFF3とビット線BLbを接続する。n-ch Tr. Qn 34は信号φb2が"H"となることで

フリップ・フロップFF4とビット線B Lbを接続する。

【0058】次に、このように構成されたEEPROMの動作を図19〜21に従って説明する。図19は読み出し動作のタイミング、図20は書き込み動作のタイミング、図21はペリフェイ読み出し動作のタイミングを示している。いずれもワード線WLaが選択された場合を例に示してある。

【0059】読み出し動作は、2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧Vbが1Vとなってタミービット線となるビット線B Lbはプリチャージされる。また、プリチャージ信号 $\phi_{pa}$ が“L”となって選択ビット線B Laはフローティングにされ、共通ソース線Vsaが6Vとなる。続いて、ワード線WLaは6Vとされる。選択されたメモリセルにデータ“0”が書き込まれている場合のみ、ビット線B Laの電圧は0.5V以下となる。

【0060】この後、フリップ・フロップ活性化信号 $\phi_{nl}$ 、 $\phi_{pl}$ がそれぞれ“L”、“H”となって、フリップ・フロップFF3はリセットされる。信号 $\phi_{al}$ 、 $\phi_{bl}$ が“H”となってフリップ・フロップFF3とビット線B La、B Lbは接続され、信号 $\phi_{nl}$ 、 $\phi_{pl}$ がそれぞれ“H”、“L”となってビット線電位がセンスされ、フリップ・フロップFF3に、“0”データか、“1”又は“2”データかの情報がラッチされる。

【0061】読み出し第2サイクルは読み出し第1サイクルと、タミービット線B Lbの電圧が1Vでなく3Vであること、信号 $\phi_{al}$ 、 $\phi_{bl}$ 、 $\phi_{nl}$ 、 $\phi_{pl}$ のかわりに信号 $\phi_{a2}$ 、 $\phi_{b2}$ 、 $\phi_{n2}$ 、 $\phi_{p2}$ が出力されることが違う。よって、読み出し第2サイクルでは、フリップ・フロップFF4に、“2”データか、“1”又は“0”データかの情報がラッチされる。

【0062】以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値Vtは5.5V以上となっている。ワード線WLaを2.0Vにし、ビット線B Laを0Vとして行われる。

【0063】書き込み動作では、まずプリチャージ信号 $\phi_{pa}$ が“L”となってビット線B Laがフローティングにされる。続いて、信号VRFYBaが“L”、Paが“H”となる。“0”書き込みの場合は、フリップ・フロップFF3にノードN5が“H”になるようにデータがラッチされているため、ビット線B Laは0Vにされる。“1”又は“2”書き込みの場合は、ビット線B Laは電圧VBHa又はVBMaによってVccにされる。

【0064】続いて、電圧VBHa、Vrwが8V、電圧VBMaが7Vとなる。“1”書き込みの場合は、フリップ・フロップFF4にノードN7が“H”になるよ

うにデータがラッチされているため、ビット線B Laには電圧VBMaにより7Vが印加される。“2”書き込みの場合はビット線B Laは8V、“0”書き込みの場合は0Vとなる。この後、選択されたワード線WLaが-1.2Vとされる。

【0065】“1”又は“2”書き込みの場合は、ビット線B Laとワード線WLaの電位差によって電子がメモリセルの電荷蓄積層から放出され、メモリセルのしきい値は低下する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層から放出すべき電荷量を少なくしなければならないため、ビット線B Laを7Vにしてワード線WLaとの電位差を1.9Vに緩和している。“0”書き込み時は、ビット線電圧0Vによってメモリセルのしきい値は実効的には変わらない。

【0066】書き込み動作後に、メモリセルの書き込み状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ペリフェイ読み出しが行われる。ペリフェイ読み出しは、読み出し第1サイクルに似ている。違うのは、まずフリップ・フロップFF3のデータを反転すること、電圧Vbが0Vであること、信号VRFYBa、VRFYBbが出力され、その時電圧VBHb、VBMbがそれぞれ1.5V、3.5Vとなることである。電圧Vb、VBHb、VBMbとフリップ・フロップFF3、4のデータによって、タミービット線B Lbの電圧は決定される。信号VRFYBa、VRFYBbは、ワード線WLaが0Vにリセットされた後で信号 $\phi_{nl}$ 、 $\phi_{pl}$ がそれぞれ“L”、“H”になる前に出力される。言い替えると、ビット線B Laの電位がメモリセルのしきい値によって決定した後で、フリップ・フロップFF3がリセットされる前である。

【0067】まず、フリップ・フロップFF1のデータを反転動作を説明する。まず電圧Va、VbがそれぞれVcc、2.5Vとなってビット線B La、B Lbはプリチャージされる。また、プリチャージ信号 $\phi_{pa}$ 、 $\phi_{pb}$ が“L”となってビット線B La、B Lbはフローティングにされる。続いて、信号Paが“H”となって、ノードN3が“H”の場合のみビット線B Laは2.5V以下に放電される。その後、フリップ・フロップ活性化信号 $\phi_{nl}$ 、 $\phi_{pl}$ がそれぞれ“L”、“H”となって、フリップ・フロップFF3はリセットされる。信号 $\phi_{al}$ 、 $\phi_{bl}$ が“H”となってフリップ・フロップFF3とビット線B La、B Lbは接続され、信号 $\phi_{nl}$ 、 $\phi_{pl}$ がそれぞれ“H”、“L”となってビット線電位がセンスされる。この動作によってフリップ・フロップFF3のデータは反転される。

【0068】次に、フリップ・フロップFF3にラッチされているデータ(data1)、フリップ・フロップFF4にラッチされているデータ(data2)と選択されたメモリセルのしきい値によって決まるデータ反転動作後のビット線B Lの電圧を説明する。data1は

「0」書き込みか、「1」又は「2」書き込みか」を制御し、「0」書き込みの場合はノードN5はデータ反転動作後に「L」、「1」又は「2」書き込みの場合はノードN5はデータ反転動作後に「H」ある。data2は「1」書き込みか、「2」書き込みか」を制御し、「1」書き込みの場合はノードN7は「H」、「2」書き込みの場合はノードN7は「L」である。

【0069】「0」データ書き込み後のペリファイ読み出し動作では、メモリのセルの状態によらず、信号VRFYBaが「L」となることで電圧VBHa又はVBMaによってビット線BLaは「H」となる。よって、フリップ・フロップFF3によってノードN5が「H」になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、「0」である。

【0070】「1」データ書き込み後のペリファイ読み出し動作では、信号VRFYBbが「L」となってダメージビット線BLbは1.5Vとされる。よって、メモリセルが「1」書き込み状態に達していない場合、ビット線BLaは1.5V以下で、フリップ・フロップFF3によってノードN5が「L」になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、「1」である。メモリセルが「1」書き込み状態に達している場合、ビット線BLaは1.5V以上で、フリップ・フロップFF3によってノードN5が「H」になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、「0」である。

【0071】「2」データ書き込み後のペリファイ読み

出し動作では、信号VRFYBbが「L」となってダメージビット線BLbは3.5Vとされる。よって、メモリセルが「2」書き込み状態に達していない場合、ビット線BLaは3.5V以下で、フリップ・フロップFF3によってノードN5が「L」になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、「2」である。メモリセルが「2」書き込み状態に達している場合、ビット線BLaは3.5V以上で、フリップ・フロップFF3によってノードN5が「H」になるようにビット線BLaはセンスされ、ラッチされる再書き込みデータは、「0」である。

【0072】このペリファイ読み出し動作によって、書き込みデータとメモリのセルの書き込み状態から再書き込みデータが前記(表1)のように設定される。(表1)から分かるように、「1」書き込み状態になるべきにもかかわらず「1」書き込み不足のメモリセルのみ再度「1」書き込みが行われ、「2」書き込み状態になるべきにもかかわらず「2」書き込み不足のメモリセルのみに再度「2」書き込みが行われるようになっている。

【0073】書き込み動作とペリファイ読み出し動作を繰り返すことによって、データ書き込みは行われる。下記の(表3)に、消去、書き込み、読み出し、ペリファイ読み出し時のメモリセルアレイ各部の電位を示す。

【0074】

【表3】

	消去	書き込み			読み出し		ペリファイ読み出し
		0	1	2	読み出し	読み出し	
BLa	0V	0V	7V	8V	0V読み出し 「L」	2V読み出し 「H」	図21参照
WLa	20V		-12V		6V	6V	6V
Vsa	0V		0V		6V	6V	6V

【0075】図22は、図14に見られるフリップ・フロップFF1、2、或いは図18に見られるフリップ・フロップFF3、4と図13に見られる入出力データ変換回路4との間のデータ入出力を制御する回路である。インバータI1とNAND回路G1でカラム・デコーダ3を構成し、カラム活性化信号CENBが「H」となるとアドレス信号によって選択されたデコーダ出力は「H」となり、ノードA、B、C、DはそれぞれIOA

1、IOB1、IOA2、IOB2と接続される。ノードA、B、C、Dは図14でそれぞれノードN1、2、3、4、図18でそれぞれノードN5、5、8、7である。ビット線BLaが選択された場合の読み出し/書き込みデータとIOA1、IOB1、IOA2、IOB2の関係は、下記の(表4)の通りである。

【0076】

【表4】

書き込みデータ	IOA1	IOB1	IOA2	IOB2
0	L	H	—	—
1	H	L	L	H
2	H	L	H	L

(a)

読み込みデータ	IOA1	IOB1	IOA2	IOB2
0	H	L	H	L
1	L	H	H	L
2	L	H	L	H

(b)

## 【0077】

【発明の効果】以上説明したように本発明によれば、回路面積の増大を抑制しながら、しかも1つのメモリセルに3つの書き込み状態を設定し、なおかつそれぞれのメモリセルのそれぞれの書き込み状態にするまでの書き込み時間を、書き込みペリファイ制御を行うことによって独立に最適化し、最終的に書き込まれたメモリセルのしきい値分布を高速に小さい範囲に収めることを可能としたEEPROMを得ることができる。また、1つのメモリセルに2つ、あるいは4つ以上の書き込み状態を設定する場合も、本発明の主旨に従えば可能である。

## 【図面の簡単な説明】

【図1】第1の実施例に係わるNANDセルアレイの構成を示す図。

【図2】第1の実施例におけるNANDセルの読み出し動作を示す図。

【図3】第1の実施例におけるメモリセルのしきい値と読み出し時のビット線出力電圧の関係を示す図。

【図4】第1の実施例における書き込み時間と読み出し時のビット線出力電圧の関係を示す図。

【図5】第1の実施例における1メモリセルに2値記憶させる場合の読み出し時のビット線出力電圧とデータの関係を示す図。

【図6】第1の実施例における1メモリセルに3値記憶させる場合の読み出し時のビット線出力電圧とデータの関係を示す図。

【図7】第2の実施例に係わるNORセルアレイの構成を示す図。

【図8】第2の実施例におけるNORセルの読み出し動作を示す図。

作を示す図。

【図9】第2の実施例におけるメモリセルのしきい値と読み出し時のビット線出力電圧の関係を示す図。

【図10】第2の実施例における書き込み時間と読み出し時のビット線出力電圧の関係を示す図。

【図11】第2の実施例における1メモリセルに2値記憶させる場合の読み出し時のビット線出力電圧とデータの関係を示す図。

【図12】第2の実施例における1メモリセルに3値記憶させる場合の読み出し時のビット線出力電圧とデータの関係を示す図。

【図13】第1、2の実施例に係わるEEPROMの構成を示すブロック図。

【図14】第1の実施例におけるメモリセルアレイとビット線制御回路の構成を示す図。

【図15】第1の実施例における読み出し動作を示すタイミング図。

【図16】第1の実施例における書き込み動作を示すタイミング図。

【図17】第1の実施例におけるペリファイ読み出し動作を示すタイミング図。

【図18】第2の実施例におけるメモリセルアレイとビット線制御回路の構成を示す図。

【図19】第2の実施例における読み出し動作を示すタイミング図。

【図20】第2の実施例における書き込み動作を示すタイミング図。

【図21】第2の実施例におけるペリファイ読み出し動作を示すタイミング図。

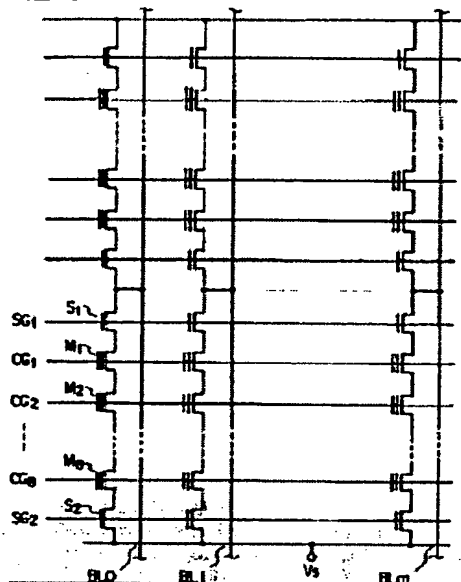
【図22】第1、2の実施例におけるカラム・デコーダの構成を示す図。

【符号の説明】

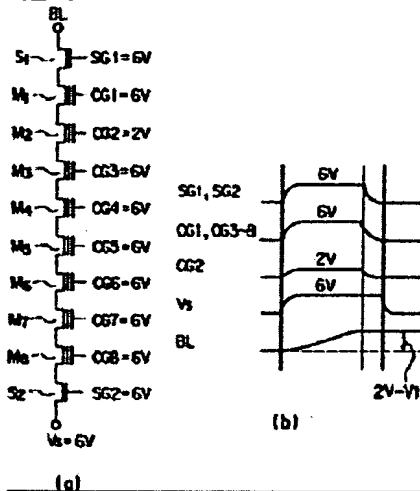
1…メモリアルレイ  
2…ビット線制御回路

3…カラム・デコーダ  
4…入出力データ変換回路  
5…データ入出力バッファ  
6…ワード線駆動回路

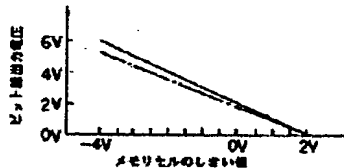
【図1】



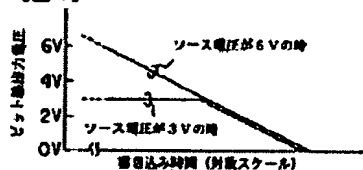
【図2】



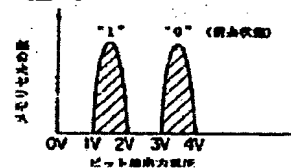
【図3】



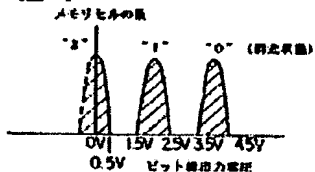
【図4】



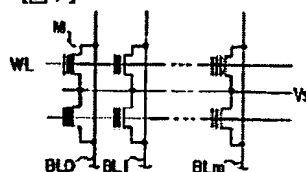
【図5】



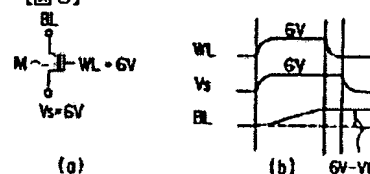
【図6】

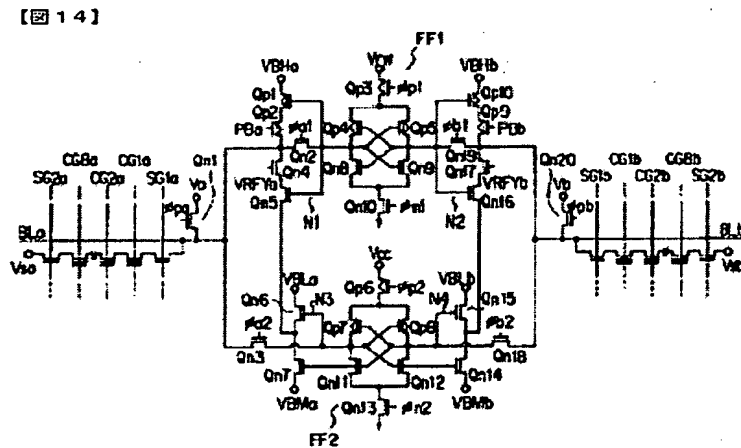
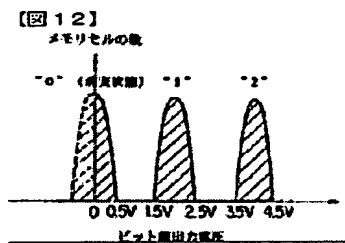
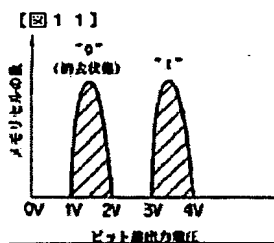
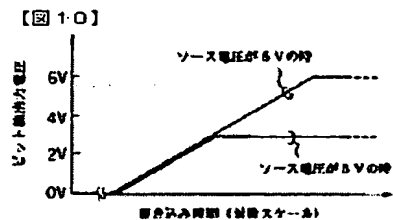
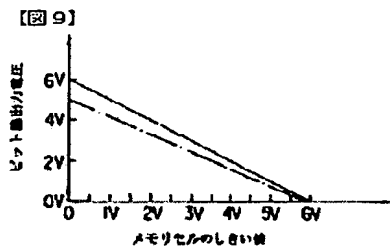


【図7】

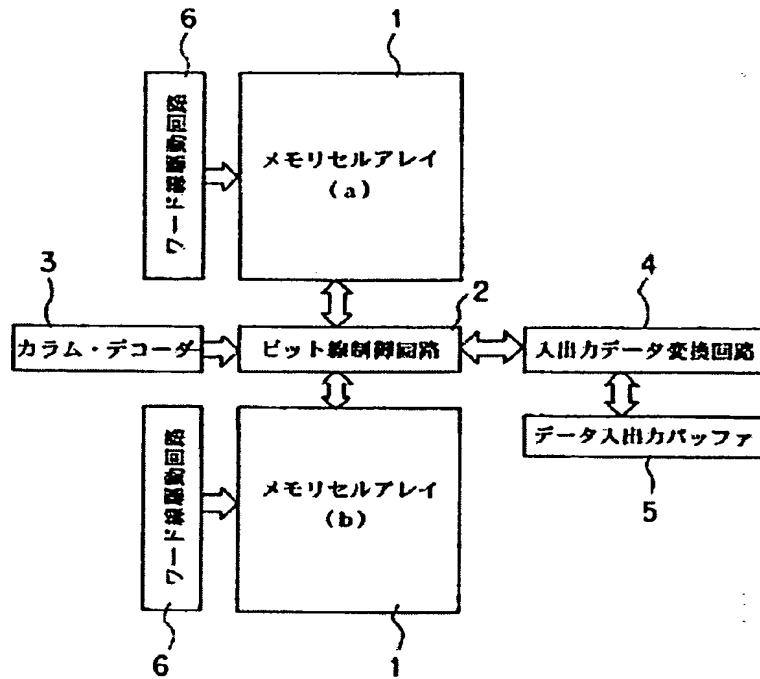


【図8】

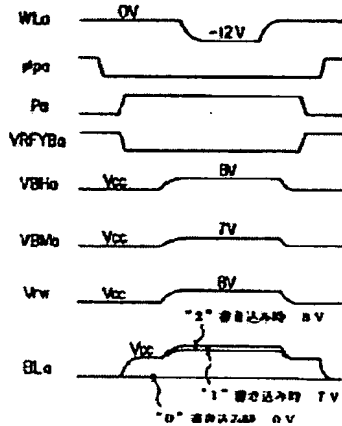




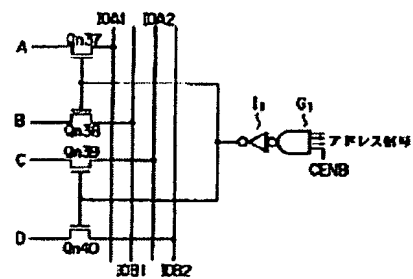
【図13】



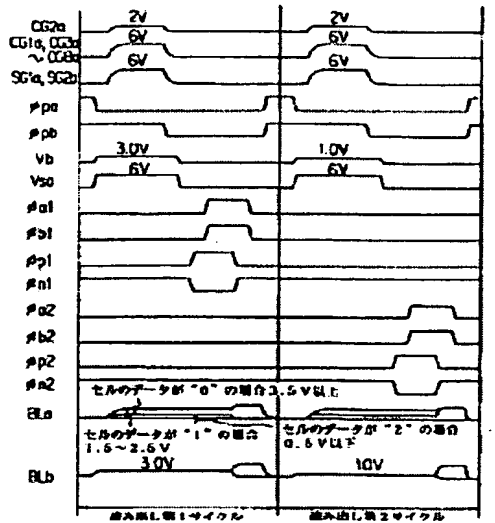
【図20】



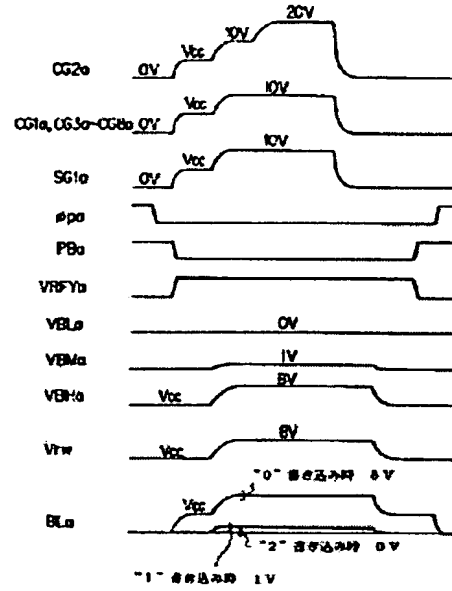
【図22】



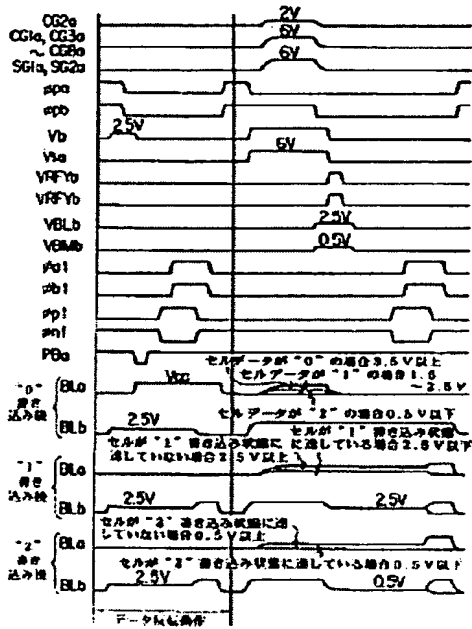
【図 15】



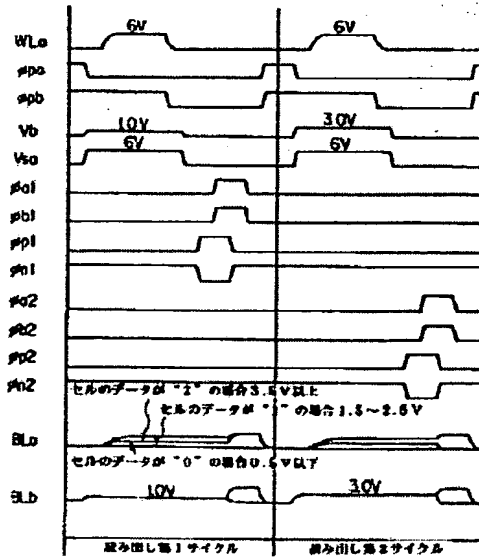
【図 16】



【図 17】



【図 19】



Timing diagram for the 74LS163 4-bit binary counter. The diagram shows signals for WLe, sPo, sPb, Vn, Vb, Vho, VRFYBa, VRFYBb, VRLb, VRLb, sdi, sdi, sdi, sdi, Pa, and data bus signals (BL0, BLb) for three data words (0, 1, 2).

Key voltage levels and timing parameters are indicated:

- 6V (Supply Voltage)
- 2.5V (Input/Output Voltage)
- 1.5V (Output Voltage)
- 3.5V (Output Voltage)
- 0V (Ground)

Annotations for data words:

- セルのデータが "2" の場合 3.5V 以上
- セルのデータが "1" の場合 1.5 ~ 3.5V
- セルのデータが "0" の場合 0.5V 以下
- セルが "1" の場合 1.5V 以上
- セルが "1" の場合 1.5V 以下
- セルが "2" の場合 3.5V 以上
- セルが "2" の場合 3.5V 以下

データ反転動作 (Data Inversion Operation)

フロントページの続き

(S1)Int.Cl.6  
G 1 1 C 16/04  
16/06

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 17/00

S 1 0 A

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-274282

(43) 公開日 平成8年(1996)10月18日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/115			H 0 1 L 27/10	4 3 4
21/8247			29/78	3 7 1
29/788				
29/792				

審査請求 未請求 請求項の数12 O L (全 14 頁)

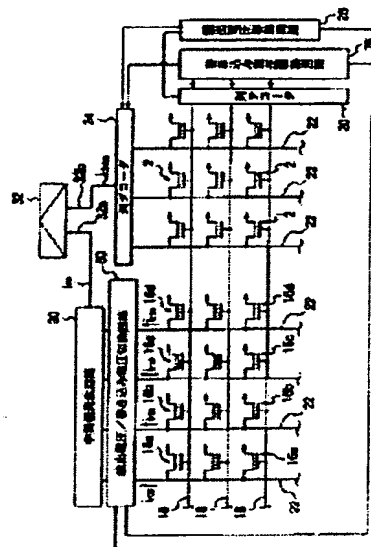
(21) 出願番号	特願平7-106679	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成7年(1995)4月28日	(72) 発明者	林 豊 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(31) 優先権主張番号	特願平7-15424	(72) 発明者	山岸 万千雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(32) 優先日	平7(1995)2月1日	(74) 代理人	弁護士 佐藤 隆久
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 不揮発性半導体メモリ装置

(57) 【要約】

【目的】 ウィンドウの小さい不揮発性多値メモリの記憶保持特性、書換え回数、および実質的収率を向上させることが可能な不揮発性半導体メモリ装置を実現する。

【構成】 多値を記憶可能な多値記憶セル2と、それぞれが多値記憶セル2の異なる記憶値を記憶可能な当該多値記憶セルの記憶多値数に応じた数のレファレンスセル15a, 15b, 15c, 15d, ...と、多値記憶セル2のデータ読み出し時に、複数のレファレンスセル15a, 15b, 15c, 15d, ...のうちの少なくとも2セルからの電流出力の中間値を発生させる中間値発生回路30と、中間値発生回路30の出力と多値記憶セル2の出力とを比較することにより、当該多値記憶セル2に記憶されている値を判定する比較判定回路32とを設ける。



【特許請求の範囲】

【請求項 1】 少なくとも 3 値を記憶可能な多値記憶セルと、  
それぞれが前記多値記憶セルの異なる記憶値を記憶可能な当該多値記憶セルの記憶多値数に応じた数のレファレンスセルと、  
前記多値記憶セルのデータ読み出し時に、前記複数のレファレンスセルのうちの少なくとも 2 セルからの電流出力の中間値またはその  $k$  倍を発生させる中間値発生回路と、  
前記中間値発生回路の出力と前記多値記憶セルの出力またはその  $k$  倍とを比較することにより、当該多値記憶セルに記憶されている値を判定する比較判定回路とを有する不揮発性半導体メモリ装置。

【請求項 2】 前記複数のレファレンスセルは、所定数の多値記憶セル毎に設けられている請求項 1 に記載の不揮発性半導体メモリ装置。

【請求項 3】 前記複数のレファレンスセルへのレファレンスデータの書き込みは、所定数の多値記憶セルにデータが書き込まれるとほぼ同時に行われる請求項 1 または請求項 2 に記載の不揮発性半導体メモリ装置。

【請求項 4】 前記複数のレファレンスセルと多値記憶セルとは同一のワード線に接続されている請求項 1、2 または 3 に記載の不揮発性半導体メモリ装置。

【請求項 5】 前記多値記憶セルは、電荷の蓄積量の増減ないしは極性の反転が可能なトランジスタにより構成され、前記レファレンスセルは、前記多値記憶セルを構成するトランジスタの厚さ方向と略同一の厚さ方向の構造を有するトランジスタにより構成されている請求項 1、2、3 または 4 に記載の不揮発性半導体メモリ装置。

【請求項 6】 前記メモリセルを構成するトランジスタおよびレファレンスセルを構成するトランジスタは、電荷の蓄積が可能なフローティングゲートを有するトランジスタ、電荷トラップ機能を持つ絶縁膜を有するトランジスタ、強誘電体膜を有するトランジスタのうちのいずれかである請求項 5 に記載の不揮発性半導体メモリ装置。

【請求項 7】 前記中間値発生回路は、前記複数のレファレンスセルの出力線のうちの少なくとも 2 つを選択して出力線に流れる電流値を加算する加算回路と、  
前記加算回路の加算値の電流を受けて、加算される複数の電流値の中間値またはその  $k$  倍の電流値を発生するようにチャネル幅をチャネル長で除した値相互の関係を、所定の比率としてあるトランジスタとにより構成されている請求項 1～6 のいずれかに記載の不揮発性半導体メモリ装置。

【請求項 8】 前記加算回路は、選択した少なくとも 2 つの電流値を単純加算する請求項 7 に記載の不揮発性半導体メモリ装置。

【請求項 9】 前記加算回路は、選択した少なくとも 2 つの電流値に対する重み付け加算を行う請求項 7 に記載

の不揮発性半導体メモリ装置。

【請求項 10】 前記中間値発生回路と前記比較判定回路とが一体となり、  
前記中間値発生回路の一部を構成するトランジスタが、前記比較判定回路を構成する差動アンプの一部のトランジスタを兼ねている請求項 5～9 のいずれかに記載の不揮発性半導体メモリ装置。

【請求項 11】 上記加算回路の出力電流を電圧に変換する第 1 の電流-電圧変換トランジスタと、  
前記第 1 の電流-電圧変換トランジスタの出力線が接続され、前記差動アンプの一部のトランジスタを構成する差動アンプ用第 1 トランジスタと、  
前記多値記憶セルの出力線の信号電流を電圧に変換する第 2 の電流-電圧変換トランジスタと、  
前記第 2 の電流-電圧変換トランジスタの出力線が接続され、前記差動アンプの一部のトランジスタを構成する差動アンプ用第 2 トランジスタと、を少なくとも有し、  
これら第 1 の電流-電圧変換トランジスタ、第 2 の電流-電圧変換トランジスタ、差動アンプ用第 1 トランジスタ、差動アンプ用第 2 トランジスタにおける各チャネル幅を各チャネル長で除した値相互の関係を、所定の比率としてある請求項 7、8、9、10 のいずれかに記載の不揮発性半導体メモリ装置。

【請求項 12】 前記第 1 の電流-電圧変換トランジスタと第 2 の電流-電圧変換トランジスタとの電圧変換動作を安定させると共に、前記差動アンプの初期状態を設定するためのトランジスタが付加してある請求項 11 に記載の不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、書換え可能な不揮発性半導体メモリ装置に係り、さらに詳しくは、特にウィンドウの小さい不揮発性多値メモリの記憶保持特性、書換え回数、および収率を実質的に向上させることが可能な不揮発性半導体メモリ装置に関する。

【0002】

【従来の技術】 不揮発性半導体メモリ装置では、選択されたメモリセルを構成するトランジスタのデータを読み取るために、差動アンプが用いられている。差動アンプでは、選択されたメモリセルからの電位信号データまたは電流信号データ（以下、総称して、「信号データ」とも称する）を、基準電位または基準電流（以下、総称して、「基準データ」とも称する）と比較し、信号データの 0、1 判定を行っている。たとえば、信号データが基準データよりも小さい場合には、信号データを 0 データと判定し、その逆の場合には、1 データと判定する。

【0003】 基準データの作成方法の一例として、メモリセルと同じ回路構成のレファレンスセルを用いることがある。

【0004】

【発明が解決しようとする課題】ところが、従来の不揮発性半導体メモリ装置では、図11(A)に示すように、0データ(読み出し時にオフ)が記憶してあるメモリセルのしきい値電圧 $V_{th0}$ は、トランジスタの書き換え特性の劣化、記憶保持の劣化、製造ばらつきなどにより、時間の経過(グラフの横軸、 $time$ )と共に低下してしまう場合がある。この場合、データ読み出し時のゲート電圧 $V_r$ よりも低下し、誤動作を生じるおそれがある。なお、図11(A)中において、 $V_{th1}$ は、1データ(読み出し時にオン)が記憶してあるメモリセルのしきい値電圧変化を示す。

【0005】この状態を、メモリセルからの電流について観察すれば、図11(B)に示すようになる。0データが記憶してあるメモリセルから読み出される電流 $i_{r0}$ は、時間の経過と共に、増大する。なお、1データが記憶してあるメモリセルから読み出される電流 $i_{r1}$ は、この例の場合には、時間の経過によらずほとんど一定である。メモリセルを構成するトランジスタが、フローティングゲートを有するトランジスタである場合に、1データが記憶してあるメモリセルのフローティングゲートには、電子が注入されていない状態であるからである。

【0006】一方、基準データを作成するためのレファレンスセルとしては、従来では、読み出し時にオンとなる(1データが記憶してある)トランジスタを用い、読み出し時の基準電流 $i_{rp}$ が、 $i_{r1}$ の一定割合、たとえば約1/4程度になるように設定しているため、時間の経過と共に、たとえ $i_{r1}$ が変化したとしても、基準電流 $i_{rp}$ は $i_{r1}$ の一定割合で変化するので、1データ検出時には、誤動作は回避される。一方、0データが記憶してあるメモリセルから読み出される電流 $i_{r0}$ が変化し出して、ある時点で、基準電流 $i_{rp}$ を追い越してしまうと、誤動作するおそれがある。

【0007】特に、近年、不揮発性半導体メモリ装置の多値化の動きが活発化してきているが、この多値記憶にあつては上述した問題はさらに深刻である。多値メモリセルとしては、2値の場合と同様に、たとえばフローティングゲートを有するトランジスタが用いられるが、この場合、しきい値電圧をさらに細かいレベルで制御する必要があるからである。

【0008】ここで、 $V(0, 0)$ 、 $V(0, 1)$ 、 $V(1, 0)$ 、 $V(1, 1)$ の4値を記憶可能なメモリセルの1例を用いて考察すると、レベル0～レベル3のしきい値電圧分布は、図12に示すように、レベル3(1, 1)が1.5V～3V、レベル2(1, 0)が3.7V～4V、レベル1(0, 1)が4.6V～4.9V、レベル0(0, 0)が5.6～5.9Vである。そして、多値メモリセルに書き込んだ直後のしきい値電圧の分布は、図12に示すように急峻である。

【0009】この4レベルにわたってデータが記憶される多値メモリセルからのデータ読み出しは、従来、たと

えば読み出すセルのしきい値電圧とレベル1～レベル3とを比較することにより記憶値の判定を行う。すなわち電圧レベルでの比較によりデータの判定を行う。

【0010】ところが、製造した直後は急峻だったしきい値電圧分布も、書き込みを繰り返すうちにしきい値電圧のバラツキも大きくなり、しかも保持特性が劣化し、しきい値電圧にずれが生じることから、たとえば図13に示すように、一定読出電圧 $V_{r11}$ 、 $V_{r10}$ 、 $V_{r00}$ でセンスした場合、図中矢印で示す時間より長い記憶時間で誤動作となる。

【0011】本発明は、かかる事情に鑑みてなされたものであり、その目的は、特にウィンドウの小さい不揮発性多値メモリの記憶保持特性、書き換え回数、および収率を実質的に向上させることが可能な不揮発性半導体メモリ装置を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明に係る不揮発性半導体メモリ装置は、少なくとも3値を記憶可能な多値記憶セルと、それぞれが前記多値記憶セルの異なる記憶値を記憶可能な当該多値記憶セルの記憶多値数に応じた数のレファレンスセルと、前記多値記憶セルのデータ読み出し時に、前記複数のレファレンスセルのうちの少なくとも2セルからの電流出力の中間値またはその $k$ 倍を発生させる中間値発生回路と、前記中間値発生回路の出力と前記多値記憶セルの出力またはその $k$ 倍とを比較することにより、当該多値記憶セルに記憶されている値を判定する比較判定回路とを有する。ここで $k$ は正の数であり、中間値の $k$ 倍の出力は多値記憶セルの出力の $k$ 倍と比較するものとする。

【0013】前記複数のレファレンスセルは、所定数の多値記憶セル毎に設けられる。また、前記所定数のメモリセルと複数のレファレンスセルとは、同一のワード線により接続することにより、これらを同時に駆動(書き込み、ないし読み出し)することができる。ただし、ほぼ同時に駆動できれば、必ずしも同一のワード線で接続する必要はない。

【0014】前記メモリセルおよびレファレンスセルは、電荷の蓄積量の増減ないしは極性の反転などによりデータを保持する機能を有するトランジスタであれば、特に限定されることなく、たとえば電荷の蓄積が可能なフローティングゲートを有するトランジスタ、電荷トラップ機構を持つ絶縁膜を有するトランジスタ、強誘電体膜を有するトランジスタなどで構成することができる。

【0015】本発明では、前記中間値発生回路は、前記複数のレファレンスセルの出力線のうちの少なくとも2つを選択して出力線に流れる各電流値を単純加算または重み付け加算(加重加算)する加算回路と、前記加算回路の加算値の電流を受けて、加算される複数の電流値の中間値またはその $k$ 倍の値の電流を発生するようにチャ

ネル幅をチャネル長で除した値相互の関係を、所定の比率としてあるトランジスタにより構成されている。

【0016】また、本発明では、前記中間値発生回路と前記比較判定回路とが一体となり、前記中間値発生回路の一部を構成するトランジスタが、前記比較判定回路を構成する差動アンプの一部のトランジスタを兼ねているように構成することができる。この場合において、本発明では、前記加算回路の出力電流を電圧に変換する第1の電流-電圧変換トランジスタと、前記第1の電流-電圧変換トランジスタの出力線が接続され、前記差動アンプの一部のトランジスタを構成する差動アンプ用第1トランジスタと、前記多値記憶セルの出力線の信号電流を電圧に変換する第2の電流-電圧変換トランジスタと、前記第2の電流-電圧変換トランジスタの出力線が接続され、前記差動アンプの一部のトランジスタを構成する差動アンプ用第2トランジスタと、を少なくとも有し、これら第1の電流-電圧変換トランジスタ、第2の電流-電圧変換トランジスタ、差動アンプ用第1トランジスタ、差動アンプ用第2トランジスタにおける各チャネル幅を各チャネル長で除した値相互の関係を、所定の比率とすることにより、前記中間値またはその $k$ 倍の値と多値記憶セルの信号電流またはその $k$ 倍の値との比較判定を可能とする。

【0017】また、本発明では、前記第1の電流-電圧変換トランジスタと第2の電流-電圧変換トランジスタとの電圧変換動作を安定させるために、前記差動アンプの初期状態を設定するためのトランジスタが付加してあることが好ましい。

【0018】

【作用】本発明に係る不揮発性半導体メモリ装置では、レファレンスセルとして、複数配置され、これらのうち、多値記憶セルの記憶値に対応付けられたセルにその記憶値が記憶される。そして、選択された多値記憶セルの読み出し時には、基準データとして、複数のレファレンスセルのうちの少なくとも2セルからの電流出力の中間値またはその $k$ 倍が発生されて用いられる。このため、この中間値またはその $k$ 倍の電流は、時間の経過と共に、多値記憶セルの読み出し時の2データまたはその $k$ 倍の間（ウィンドウ）を通るように変化する。したがって、書換え特性の劣化あるいは記憶保持特性の劣化などによらず、多値記憶セルに記憶してあるデータの判定を正確に行うことができる。また、多値記憶セルを構成するトランジスタに製造ばらつきがあったとしても、レファレンスセルを構成するトランジスタにも同様な製造ばらつきがあると考えられ、また、比較判定回路の基準となる基準データは、上述した理由により、ウィンドウ間に位置するので、結果としては、データの読み出しの正確性が損なわれることはない。したがって、不揮発性半導体メモリ装置の収率も向上する。

【0019】

【実施例】以下、本発明に係る不揮発性半導体メモリ装置を、図面に示す実施例に基づき、詳細に説明する。図1は本発明の一実施例に係る不揮発性半導体メモリ装置の概略構成図である。

【0020】図1に示すように、本実施例の不揮発性半導体メモリ装置は、NOR型のメモリであり、多値メモリセル2が、マトリックス状に配置してある。各多値メモリセル2は、本実施例では、フローティングゲートを有するトランジスタで構成される。フローティングゲートを有するトランジスタでは、図2(A)に示すように、半導体基板3の表面領域あるいはウェルに形成されたソース・ドレイン領域4、4間のチャネル形成領域6上に、ゲート絶縁膜8を介して、フローティングゲート10、中間絶縁膜12およびコントロールゲート14が積層してある。このトランジスタでは、コントロールゲート14（ワード線）とソース・ドレイン領域4、4（ビット線およびソース）とに印加される電圧を制御することにより、FN（Fowler Nordheim）効果などを利用して、フローティングゲート10に電子を注入または引き抜きすることにより、トランジスタのしきい値電圧を変化させ、3値以上のデータ、たとえば $V(0, 0)$ 、 $V(0, 1)$ 、 $V(1, 0)$ 、 $V(1, 1)$ の4値のデータの書き込み消去を行うことができる。 $V(0, 0)$ 、 $V(0, 1)$ 、 $V(1, 0)$ 、 $V(1, 1)$ の4値を記憶可能なメモリセルの場合、レベル0～レベル3のしきい値電圧分布は、図12に示すように、レベル3（1, 1）が1.5V～3V、レベル2（1, 0）が3.7V～4V、レベル1（0, 1）が4.6V～4.9V、レベル0（0, 0）が5.6～5.9Vである。そして、多値メモリセルに書き込んだ直後のしきい値電圧の分布は、図12に示すように急峻である。

【0021】4値の書き込みは、たとえば、まず消去によってしきい値電圧をレベル0以上に動かし、次に書き込みバイアス電圧を印加しながらフローティングゲートに電子を注入し、書き込み動作を中止しては書き込まれた状態を読み出すことを繰り返すベリファイによって上述した所望のしきい値電圧になった時点で終了する。

【0022】半導体基板3として、たとえばP型の単結晶シリコンウェハが用いられたときは、その表面領域に、N型の単結晶シリコンウェハが用いられたときには、その表面に形成されたP型ウェルに多値メモリセル用トランジスタ2が形成される。ソース・ドレイン領域4、4は、たとえばN型の不純物領域であり、フローティングゲート10およびコントロールゲート14の作製後に、イオン注入を行うことにより形成される。ソース・ドレイン領域4、4は、LDO構造を有していてもよい。ゲート絶縁膜8は、たとえば膜厚8nm程度の酸化シリコン膜で構成される。フローティングゲート10は、たとえばポリシリコン層で構成される。なお、図示省略してあるが、フローティングゲート10の側面は、

絶縁性サイドウォールで覆われている。中間絶縁膜12は、たとえば酸化シリコン膜、あるいはONO膜（酸化シリコン膜と窒化シリコン膜と酸化シリコン膜との積層膜）などで構成され、その膜厚は、たとえば酸化シリコン膜換算で14nmである。コントロールゲート14は、たとえばポリシリコン膜、あるいはポリサイド膜（ポリシリコン膜とシリサイド膜との積層膜）などで構成される。

【0023】図1に示すように、本実施例では、各行の多値メモリセル2毎に、4個のレファレンスセル16a、16b、16c、16dが配置され、同一のワード線18で同時に駆動可能になっている。多値メモリセル2とレファレンスセル16a、16b、16c、16dとは、厚さ方向の構造が略同一であるトランジスタにより構成される。厚さ方向の構造が同一であるとは、多値メモリセル2を構成するトランジスタが、図2(A)に示す構造のフローティングゲート10を有するタイプのトランジスタである場合には、レファレンスセル16a、16b、16c、16dを構成するトランジスタも、同様な構造および膜厚を有するという意味であり、トランジスタのチャネル長あるいはチャネル幅などが相違しても良い。

【0024】各行のレファレンスセル16a、16b、16c、16dは、記憶値があらかじめ決められており、たとえば、多値メモリセル2にデータV(0,0)~V(1,1)のいずれかが書き込まれる毎に、レファレンスセル16aにはV(0,0)、レファレンスセル16bにはV(0,1)、レファレンスセル16cにはV(1,0)、レファレンスセル16dにはV(1,1)がそれぞれ書き込まれる。特定のレファレンスセルに同一のデータが何回も書き込まれた場合、蓄積効果が生じる場合があり、それを避けるために、1つのレファレンスセルに特定のデータを繰り返し書き込むことをせず、別のデータを交互に書き込むことも可能である。この場合は、たとえばワード線18にカウンタを接続して、現在レファレンスセル16a~16dがどのデータを受け持っているかわかるようにしておく。

【0025】ワード線18は、行デコーダ20に接続してある。多値メモリセル2のトランジスタのドレイン領域は、ビット線22を通して、列デコーダ24に接続してある。そして、レファレンスセル16a、16b、16c、16dのトランジスタのドレイン領域は、ビット線22を通して、読出電圧/書き込み電圧切換回路50に接続してある。

【0026】行デコーダ20、列デコーダ24および読出電圧/書き込み電圧切換回路50には、書き込み電圧駆動回路26および読み出し電圧駆動回路28が接続してある。これら駆動回路26、28で設定された電圧は、行デコーダ20により選択されたワード線18と、列デコーダ24、読出電圧/書き込み電圧切換回路50

により選択されたビット線22を通して、特定の多値メモリセル2およびレファレンスセル16a、16b、16c、16dに印加され、データの消去および書き込みがなされる。

【0027】レファレンスセル16a、16b、16c、16dが接続されたビット線22には、読出電圧/書き込み電圧切換回路50を介して（あるいは直接的に）、ビット線22から検出される2つの電流値を選択して単純加算または加重加算（和算）して、その中間値またはそのK倍の値を発生する中間値発生回路30が接続される。中間値発生回路30は、たとえば後述して図5に示すように、各レファレンスセル16a、16b、16c、16dが接続されたビット線22にそれぞれ設けられ、ゲート電圧の制御によりオン/オフされるMOSトランジスタと、これらMOSトランジスタの出力配線を接続する、いわゆるワイヤードオア配線と、このワイヤードオア配線の電流出力を1/2するようにサイズ(W/L)が調整された複数のMOSトランジスタにより構成される。このとき、ワイヤード配線により単純加算が行われる。

【0028】中間値発生回路30の出力は、比較判定回路32の一方の第1入力端子32aに接続される。比較判定回路32の他方の第2入力端子32bには、列デコーダ24により選択されたビット線22を通して、読み出し時に選択された多値メモリセル2に記憶してあるデータ（本実施例では、電流）が入力する。なお、中間値発生回路30の一部と比較判定回路32とは、後述するように一体化することができる。

【0029】多値メモリセル2およびレファレンスセル16a、16b、16c、16dに記憶してあるデータを消去するには、ワード線18、ビット線22、ソース、基板に所定電圧、たとえばワード線18に18~20V、ビット線22に0V、ソース、基板に0Vを印加してフローティングゲートへ電子を注入すればよい。

【0030】図1に示す行デコーダ20および列デコーダ24により選択される特定の多値メモリセル2に、データV(0,0)、V(0,1)、V(1,0)、V(1,1)を書き込むには、消去によってしきい値電圧を揃えた後、書き込み電圧駆動回路26から、特定の多値メモリセル2のワード線18へたとえば-10V、ビット線22へたとえば+5Vの書き込みバイアス電圧を印加しながらフローティングゲートから電子を引き出し、ペリファイ動作によって上述した所望のしきい値電圧V(0,0)0、V(0,1)0、V(1,0)0、V(1,1)0になった時点で終了する。

【0031】図1に示す行デコーダ20および列デコーダ24により選択される特定の多値メモリセル2からのデータの読み出し時には、読み出し電圧駆動回路28から、特定の多値メモリセル2のワード線18およびビット線22へ、所定電圧、たとえばワード線18に

Vr00、Vr10、Vr11などの電圧(3V~5.5V)、ビット線に~1Vを印加する。

【0032】本実施例では、特定の多値メモリセル2からのデータの読み出しと同時に、その特定の多値メモリセル2と同じワード線18で接続してある4個のレファレンスセル16a、16b、16c、16dからも同時にデータを読み出す。選択された多値メモリセル2から読み出されたデータ電流は、ビット線22、列デコーダ24を通して、比較判定回路32の第2入力端子32bへ入力する。一方のレファレンスセル16a、16b、16c、16dから読み出されたレファレンスデータ電流ir00、ir01、ir10、ir11は、読出電圧/書き込み電圧切換回路50を通して中間値発生回路30に入力する。中間値発生回路30において、入力した4つの電流のうちの2つが選択的に加算され、さらに2つの電流値を有する中間値またはそのk倍の値の電流ireが生成され、この中間値電流ireが比較判定回路32の第1入力端子32aへ入力する。

【0033】中間値電流ireの長期時間経過に対する変化は、図3の曲線ire00で表わすことができる。すなわち、データV(0,0)が記憶してある多値メモリセル2から読み出されるデータ電流idata(0,0)の変化に合わせて、中間値電流ire00も変化し、ウィンドウの中間に位置しようとする。その結果、図1に示す比較判定回路32では、第1入力端子32aへ入力される中間値電流ire00に基づき、第2入力端子32bへ入力される選択された多値メモリセルの読み出し電流idata(0,0)、idata(0,1)のV(0,0)、V(0,1)の判定を正確に行うことができる。第2入力端子32bへ入力される選択された多値メモリセルの読み出し電流idata(0,0)、idata(0,1)、idata(1,0)、idata(1,1)またはそれらのk倍の値と、中間値電流ire(ire(0,0)、ire(1,0)、ire(1,1))またはそれらのk倍の値との大小比較により、多値メモリセル2には、データV(0,0)、V(0,1)、V(1,0)、V(1,1)のうちのいずれが記憶してあると判定できる。

【0034】この比較判定回路32による判定は、図3に示すように、時間の経過と共に、メモリセルの記憶特性あるいは書き換え特性が劣化したとしても、従来に比較して、一倍以上の長期間にわたり、正確性を保ち続けることができる。また、多値メモリセル2に製造ばらつきがあったとしても、レファレンスセル16a、16b、16c、16dにも同様な製造ばらつきがあると考えられ、また、比較判定回路32の基準となる基準データ(中間値またはそのk倍の電流)は、上述した理由により、ウィンドウ内に位置するので、結果としては、データの読み出しの正確性が損なわれることはない。

【0035】なお、本発明は、上述した実施例に限定されるものではなく、本発明の範囲内で種々に改変するこ

とができる。たとえば、前記実施例では、フローティングゲートに電子を徐々に放出して所望のデータを書き込む場合について説明したが、本発明はこれに限定されず、フローティングゲートから電子を徐々に注入する場合でもよい。

【0036】また、図1に示す実施例では、書き込み電圧駆動回路26および読み出し電圧駆動回路28は、多値メモリセル2とレファレンスセル16a、16b、16c、16dとで共用したが、それぞれについて別途配置することも可能である。

【0037】また、多値メモリセル2とレファレンスセル16a、16b、16c、16dとは、必ずしも同一のワード線18で、同時に駆動する必要はなく、別々のワード線と、別々の駆動回路を用いて、ほぼ同時に駆動するように構成することもできる。また、これら駆動回路の配置位置は、図1に示す実施例に限定されず、レファレンスセル16a、16b、16c、16dと多値メモリセル2との間、あるいはその他の位置に配置することも可能である。

【0038】また、多値メモリセル2およびレファレンスセル16a、16b、16c、16dの回路構成は、図1に示す例に限定されず、図4(A)に示すように、ソース線40が各列毎に分割されたタイプ、あるいは図4(B)に示すように、セルトランジスタ2、16a、16b、16c、16dのドレインまたはソースが、選択トランジスタ42を介してソース線40に接続してあるタイプであっても良い。なお、多値メモリセル2と、レファレンスセル16a、16b、16c、16dとの回路構成は、同一であることが好ましい。

【0039】また、各セルトランジスタ2、16a、16b、16c、16dは、電荷を蓄積・消去可能なトランジスタで構成されれば、特に限定されず、図2(B)に示すように、MONOS型のセルトランジスタであっても良い。図2(B)に示す例では、半導体基板3の表面に、ONO膜44が積層してあり、その上に、ゲート電極46が積層してある。ソース・ドレイン領域4は、前記実施例と同様である。ONO膜44は、SiO<sub>2</sub>/SiN/SiO<sub>2</sub>の三層構造の膜であり、たとえば以下の方法により成膜される。

【0040】まず、半導体基板3の表面を熱酸化し、2nm程度の酸化膜を成膜し、その熱酸化膜上に、約9nm以下程度の窒化シリコン膜をCVD法などで成膜し、その表面を熱酸化して、約4nm以下程度の酸化膜を形成する。このような工程により、三層構造のONO膜を形成することができる。このONO膜は、低リーク電流で膜厚制御性に優れている。また、ONO膜中の窒化シリコン膜内および窒化シリコン膜とシリコン酸化膜との界面に、電子をトラップすることが可能であり、メモリセルとして機能する。また、同様にメモリ機能を有する膜として、ON膜(SiO<sub>2</sub>/SiN)、N膜(SiN

単独) も知られている。ゲート電極 46 は、たとえばポリシリコン膜、あるいはポリサイド膜などで構成され、ワード線 18 として機能する。

【0041】図 2 (C) に示す例では、半導体基板の表面に、膜厚約 10 nm 程度のゲート絶縁膜 8 を介して、フローティングゲート 10、膜厚 300 nm 程度の強誘電体薄膜 48 およびコントロールゲート 14 が積層してある。図 2 (A) に示す例と同一部材には、同一符号を付し、その説明は省略する。この例では、強誘電体薄膜 48 を利用して、多値メモリセルを構成している。なお、前述したように、多値メモリセルとレファレンスセルとは、厚さ方向に略同一構造であることが望ましい。

【0042】次に、中間値発生回路 30 と比較判定回路 32 とを含むセンスアンプ回りの具体的な回路構成について図 5 を参照しつつ説明する。図 5 に示す実施例では、トランジスタ Q2、Q3、QRA、QDA が、正帰還のある差動アンプ回路を構成し、トランジスタ Q1 がその差動アンプ回路の駆動用スイッチである。また、トランジスタ QRI が、選択的に加算された電流を電圧に変換し、トランジスタ QRA のゲートへ入力する回路である。また、トランジスタ QDI は、多値メモリセル 2 からの信号電流  $i_{data}$  を電圧に変換し、トランジスタ QDA のゲートへ入力するための回路である。なお、信号電流  $i_{data}$  は、上述したように、多値メモリセル 2 に記憶してあるデータが  $V(0, 0)$  の場合には  $i_{data}(0, 0)$ 、 $V(0, 1)$  の場合には  $i_{data}(0, 1)$ 、 $V(1, 0)$  の場合には  $i_{data}(1, 0)$ 、 $V(1, 1)$  の場合には  $i_{data}(1, 1)$  である。図 5 中、トランジスタ Q1、Q2、Q3 は、Nチャネル型トランジスタ (または Pチャネル型トランジスタ) であり、トランジスタ QRA、QDA、QRI、QDI は、前記トランジスタとは逆極性の Pチャネル型トランジスタ (または Nチャネル型トランジスタ) である。

【0043】さらに、図 5 に示す回路では、トランジスタ Q4、QRO、QDO を、図 5 に示す接続関係で付加することにより、電圧変換を安定化させると共に、差動アンプ回路の初期状態を設定して安定動作させている。これらトランジスタ Q4、QRO、QDO は、Pチャネル型トランジスタ (または Nチャネル型トランジスタ) である。トランジスタ QRO、QDO のゲート (\*) には、センス時にはハイレベルに切り換えられるストローブ信号 STB1 が入力される。また、トランジスタ Q4 のゲート (\*) には、センス時にはハイレベルに切り換えられるストローブ信号 STB2 が入力される。ただし、ストローブ信号 STB2 は、ストローブ信号 STB1 がハイレベルに切り換えられた後に、ハイレベルに設定される。

【0044】また、差動アンプ回路の初期状態を設定して安定動作させる素子として、1つの Pチャネル型トランジスタ (または Nチャネル型トランジスタ) Q4 の代わりに、図 6 に示すように、2つの Pチャネル型トランジスタ (または Nチャネル型トランジスタ) Q5、Q6

を設け、両トランジスタ Q5、Q6 のゲートは、上述した図 5 の回路の場合と同様にストローブ信号 STB2 の供給ラインに接続し、両トランジスタ Q5、Q6 の接続点を初期設定電位 2 に接続した構成とすることも可能である。

【0045】また、中間値発生回路 30 は、図 5 に示すように、各レファレンスセル 16a、16b、16c、16d が接続されたビット線 22 にそれぞれ設けられ、ゲート電圧の制御によりオン/オフされる Nチャネル型トランジスタ QRS0、QRS1、QRS2、QRS3 と、これらトランジスタの出力配線を接続するワイヤードオア配線と、このワイヤードオア配線の加算電流出力を  $1/2$  するようにサイズ ( $W/L$ ) 比が調整された 1 対のトランジスタ QRI、QRA により構成される。すなわち、トランジスタ QRI、QRA は中間値発生回路 30 と比較判定回路 32 とで共用されており、この意味で両回路は一体的に構成されている。

【0046】図 7 に、読み出し時におけるワード線 18 への印加電圧、中間値発生回路 30 のトランジスタ QRS0、QRS1、QRS2、QRS3 のゲート G00、G01、G10、G11 への制御信号、並びに比較判定回路 32 へのストローブ信号 STB1、STB2、およびトランジスタ Q1 のゲート G1 への活性化信号 ACT のタイミングチャートを示す。

【0047】この実施例では、読み出しモードに設定されると、アドレス指定されたワード線 18 およびビット線 22 が所定電圧に保持されて、選択された多値メモリセル 2 によりその記憶データに応じたデータ電流  $i_{data}$ 、具体的には多値メモリセル 2 に記憶してあるデータが  $V(0, 0)$  の場合には  $i_{data}(0, 0)$ 、 $V(0, 1)$  の場合には  $i_{data}(0, 1)$ 、 $V(1, 0)$  の場合には  $i_{data}(1, 0)$ 、 $V(1, 1)$  の場合には  $i_{data}(1, 1)$  が流れ、比較判定回路 32 のトランジスタ QDI に流れ込む。また、選択された多値メモリセル 2 と同一のワード線 18 に接続されたレファレンスセル 16a、16b、16c、16d からビット線 22 にレファレンスデータ電流  $i_{r00}$ 、 $i_{r01}$ 、 $i_{r10}$ 、 $i_{r11}$  が流れ、これら電流は、読出電圧/書き込み電圧切替回路 50 を通して中間値発生回路 30 に入力される。

【0048】中間値発生回路 30 においては、入力した 4 つの電流のうちの 2 つが選択的に加算され、この加算電流が比較判定回路 32 のトランジスタ QRI に流れ込み、選択的に加算された電流が電圧に変換され、トランジスタ QRA のゲートへ入力される。

【0049】中間値電流  $i_{re}$  を、加算電流の  $1/2$  と設定する場合には、トランジスタ QRA、QDA、QRI、QDI のチャネル寸法関係を、下記の表 1 (A) ケース II に示すような関係に設定する。

【0050】中間値電流の 2 倍とデータ電流の 2 倍とを比較する場合は表 1 (A) ケース I、表 1 (B) に示す

ようにトランジスタQ2, Q3, QRA, QDA, QRI, QDIのチャネル寸法関係を設定する。この場合は、 $k=2$ に相当する。

【0051】

【表1】

(A)

Q2とQ3とが同一寸法比(W/L比)の場合

	ケースI	ケースII
QRAのチャネル幅W/チャネル長L(比)	QRIと同じ	QRIの1/2
QDAのW/L(比)	QDIの2倍	QDIと同じ

(B)

QRIとQRA、QDIとQDAとが同一寸法比(W/L比)の場合

	ケースI
Q2のW/L比	Q3の2倍

【0052】なお、トランジスタQ2とトランジスタQ3とは、同一寸法であったが、表1の(B)に示すように、トランジスタQRIとQRA、トランジスタQDIとQDAが同一寸法比(W/L比)の場合でも、トランジスタQ2のW/L比をトランジスタQ3のその二倍とすることで、実質的な1/2回路を構成することもできる。このときも、1/2回路は、差動アンプと一体化してしまっている。なお、一体化とは、それぞれが共通したトランジスタを有していることと本発明では定義する。

【0053】比較判定回路32では、読み出しモード時に、トランジスタQ1のゲートG1へVss(ローレベル)からVDD(ハイレベル)へと変化するランブ電圧入力ACFを印加して活性化され、選択された多値メモリセル2の読み出し電流i<sub>data</sub>(0,0)、i<sub>data</sub>(0,1)、i<sub>data</sub>(1,0)、i<sub>data</sub>(1,1)と、中間値電流i<sub>re</sub>との大小比較により、多値メモリセル2には、データV(0,0)、V(0,1)、V(1,0)、V(1,1)のうちのいずれかが記憶してあると判定される。

【0054】なお、具体的な中間値発生回路30における加算すべきレファレンスセル16a、16b、16c、16dによる読み出し電流の選択、並びに比較判定回路32における比較判定動作は、たとえば図7に示すように行う。すなわち、まずワード線18に電圧Vr11を与え、トランジスタQRS3のゲートG11およびQRS2のゲートG10にハイレベルの信号を供給し、レファレンスセル16dと16cによるレファレンスデータセル電流i<sub>r11</sub>とi<sub>r10</sub>とを合流させて加算する。このときトランジスタQRS1のゲートG01およびQRS0のゲートG00への供給信号はローレベルに保持する。この合流電流が比較判定回路32に入力されて1/2され、多値メモリセル2に記憶してあるデータがV(1,1)である

か、あるいはV(1,0)、V(0,1)、V(0,0)であるか判定される。

【0055】次に、中間値発生回路30のトランジスタQRS3のゲートG11への信号をローレベルに切り換え、ワード線18に電圧Vr10を与え、トランジスタQRS2のゲートG10への信号はハイレベルに保持したまま、トランジスタQRS1のゲートG01への信号をハイレベルに切り換えて、レファレンスセル16cと16bによるレファレンスデータセル電流i<sub>r10</sub>とi<sub>r01</sub>とを合流させて加算する。この合流電流が比較判定回路32に入力されて1/2され、多値メモリセル2に記憶してあるデータがV(1,0)であるか、あるいはV(0,1)、V(0,0)であるか判定される。

【0056】次に、中間値発生回路30のトランジスタQRS2のゲートG10への信号をローレベルに切り換え、ワード線18に電圧Vr00を与え、トランジスタQRS1のゲートG01への信号はハイレベルに保持したまま、トランジスタQRS0のゲートG00への信号をハイレベルに切り換えて、レファレンスセル16bと16aによるレファレンスデータセル電流i<sub>r01</sub>とi<sub>r00</sub>とを合流させて加算する。この合流電流が比較判定回路32に入力されて1/2され、多値メモリセル2に記憶してあるデータがV(0,1)であるかV(0,0)であるか判定される。

【0057】このように本実施例においては、中間値発生回路30および比較判定回路32において3度の選択的な加算および差動アンプにおける比較判定を行うことにより、多値メモリセル2の記憶データを判定できる。なお、中間値発生回路30のトランジスタQRS0～QRS3に対する切り換え制御は、図7に示す例に限定されない。図7の場合とは逆に、トランジスタQRS0とQ

RS1 側から順次導通状態となるように制御してもよい。  
 【0058】また、たとえば、まずトランジスタQRS1とQRS2を導通状態にして、多値メモリセル2に記憶してあるデータがV(1, 1)またはV(1, 0)であるか、あるいはV(0, 1)またはV(0, 0)であるかを比較判定回路32で判定した後、その判定結果に基づいて、トランジスタQRS3とQRS2またはトランジスタQRS1とQRS0が導通状態となるように制御することにより、多値メモリセル2に記憶してあるデータがV(1, 1)またはV(1, 0)であるか、あるいはV(0, 1)またはV(0, 0)であるかを判定できる。この場合、中間値発生回路30および比較判定回路32において2度の選択的な加算および差動アンプにおける比較判定を行うことにより、多値メモリセル2の記憶データを判定できる。

【0059】さらに、図8に示すように、任意の2つのレファレンスセルの電流の中間値またはそのk倍の値とデータまたはそのk倍の値とを比較する3つの比較判定回路32a, 32b, 32cを設ければ、同時に多値メモリセル2の記憶データの判定ができる。このとき、ワード線18には電圧V<sub>00</sub>を印加する。この回路においては、比較判定回路32aの出力OUT1はデータが(1, 1)、(1, 0)、(0, 1)のときハイレベル(V<sub>00</sub>レベル)となり、比較判定回路32bの出力OUT2はデータが(1, 1)、(1, 0)のときハイレベルとなり、比較判定回路32cの出力OUT3はデータが(1, 1)のときハイレベルとなる。これら出力OUT1~OUT3は、たとえば図9に示すような論理回路に入力され、ここで論理演算がなされ、メモリセル2に書き込まれている多値情報が出力される。

【0060】図9に示す論理回路は、3入力2出力の論理回路であって、入力端TIN1には図8の比較判定回路32bの出力信号OUT2が入力され、入力端TIN2には図8の比較判定回路32cの出力信号OUT3が入力され、入力端TIN3には図8の比較判定回路32aの出力信号OUT1が入力される。入力端TIN1に入力された信号OUT2は、2つのうちの一方の出力端TOUT1から直接信号Aとして出力されるとともに、2入力オア(O<sub>2</sub>)回路38の一方の入力端に入力される。入力端TIN2に入力された信号OUT3は、否定(反転; NOT)回路34にて反転作用を受けて、2入力アンド(AND)回路36の一方の入力端に入力される。また、入力端TIN3に入力された信号OUT1は、アンド回路36の他方の入力端に入力される。アンド回路36の論理積の結果がオア回路38の他方の入力端に入力され、その論理和結果が出力端TOUT2から信号Bとして出力される。この論理回路においては、出力信号Aがハイレベル「H」の場合にはメモリセル2のMSBが論理「1」、ローレベル「L」の場合にはメモリセル2のMSBが論理「0」を示し、出力信号Bがハイレベル

「L」の場合にはメモリセル2のLSBが論理「1」、ローレベル「L」の場合にはメモリセル2のLSBが論理「0」を示す。

【0061】ところで、上述した図5に示す回路では、ワイヤードオア配線により単純加算がなされるが、一般的に加算を行うためには、図10に示すような回路に構成される。この場合、読出電圧/書き込み電圧切替回路50の4つの出力の各々に対してゲート電圧の制御によりオン/オフされる2つの第1および第2のMOSトランジスタが並列に接続され、4つの第1のMOSトランジスタQRS0, QRS1, QRS2, QRS3の出力配線を接続するワイヤードオア配線と、このワイヤードオア配線の電流出力をn/k倍するようにサイズ(W/L)が調整された複数のMOSトランジスタQ' R1, Q' RA、並びに4つの第2のMOSトランジスタQ' RS0, Q' RS1, Q' RS2, Q' RS3の出力配線を接続するワイヤードオア配線と、このワイヤードオア配線の電流出力をm/k倍するようにサイズ(W/L)が調整された複数のMOSトランジスタQ' R1, Q' RAにより構成される。ここで、 $n+m \leq k$ とする。このような構成において、トランジスタQ' R1, Q' RA, Q' RS1, Q' RS2の寸法比を所望の値に設定し、QRS0~QRS3およびQ' RS0~Q' RS3のうち各々1つのトランジスタをオンとすることにより、2つのレファレンスセルの電流の、いわゆる重み付け加算を実現できる。

【0062】なお、上述した実施例では、図10に示す実施例を除いては、中間値を2つの電流値の和の1/2として説明したが、これに限定されるものではなく、2つの電流値間の値であればよい。また、上述した実施例では、すべてNOR型のメモリについて説明したが、本発明は、これに限定されず、NAND型、AND型、DINOR型などに対しても適用することが可能である。

また、上述した実施例では、多値は4値として説明したが、3値、5値、...8値などでも、本発明に適用できることはいうまでもない。

【0063】

【発明の効果】以上説明してきたように、本発明によれば、特にウィンドウの小さい不揮発性多値メモリ装置において、書き換え特性の劣化あるいは記憶保持特性の劣化などによらず、多値メモリセルに記憶してあるデータの判定を正確に行うことができる。また、多値メモリセルに製造ばらつきがあったとしても、レファレンスセルにも同様な製造ばらつきがあると考えられ、また、比較判定回路の基準となる基準データ(中間値電流)は、ウィンドウ内に位置するので、結果としては、データの読み出しの正確性が損なわれることはない。したがって、不揮発性半導体メモリ装置の収率も実質的に向上する。

#### 【図面の簡単な説明】

【図1】図1は本発明の一実施例に係る不揮発性半導体メモリ装置の概略構成図である。

【図2】図2(A)は本発明の一実施例に係るメモリセルの要部断面図、同図(B)は本発明の他の実施例に係るメモリセルの要部断面図、同図(C)はさらにその他の実施例に係るメモリセルの要部断面図である。

【図3】図3は本発明に係る不揮発性半導体メモリ装置の中間値電流の経時変化を示すグラフである。

【図4】図4(A)は本発明の他の実施例に係るメモリセルの回路構成図、同図(B)はさらにその他の実施例に係るメモリセルの回路構成図である。

【図5】図5は本発明の具体的な実施例に係る不揮発性半導体メモリ装置のセンスアンプ回りの回路図である。

【図6】図6は本発明の具体的な実施例に係る不揮発性半導体メモリ装置のセンスアンプ回りの他の構成例を示す回路図である。

【図7】図7は図5の回路の各部に供給される信号のタイミングチャートである。

【図8】図8は本発明の具体的な実施例に係る不揮発性半導体メモリ装置の任意の2つのレファレンスセルの電流の中間値とデータとを比較する3つの比較判定回路を設けた構成例を示す回路図である。

【図9】図9は本発明に係る多値情報演算する論理回路の構成例を図である。

【図10】図10は本発明の具体的な実施例に係る不揮発性半導体メモリ装置の重み付け加算(加重加算)回路を有するセンスアンプ回りの構成例を示す回路図である。

【図11】図11(A)は従来例に係るメモリセルの経

時変化を示すグラフ、同図(B)は従来例に係るメモリセルの経時変化および基準電流の経時変化を示すグラフである。

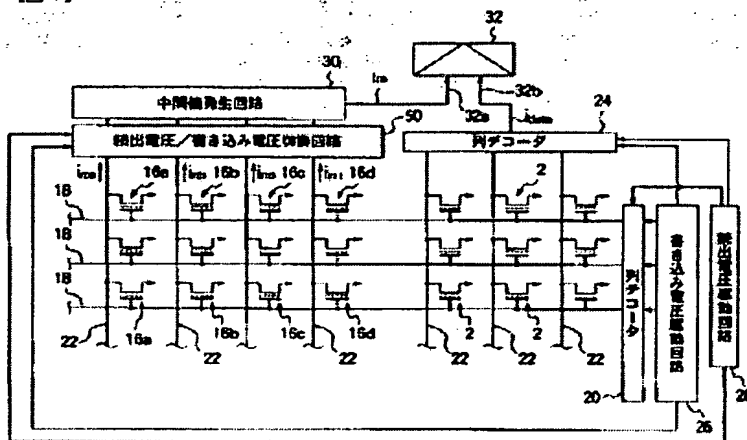
【図12】図12は4値メモリセルのしきい値電圧分布を示すグラフである。

【図13】図13は4値メモリセルの経時変化を示すグラフである。

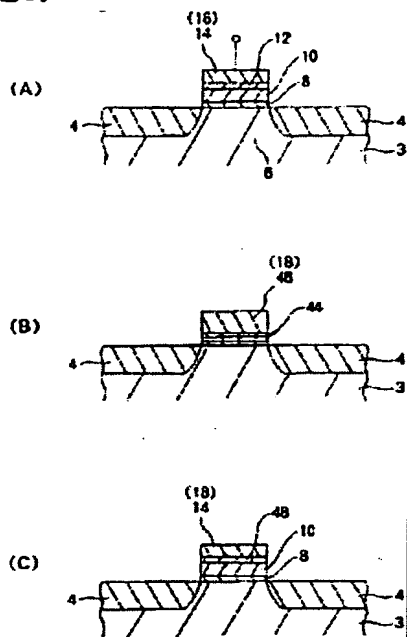
【符号の説明】

- 2…メモリセル
- 3…半導体基板
- 4…ソース・ドレイン領域
- 6…チャネル
- 8…ゲート絶縁膜
- 10…フローティングゲート
- 12…中間絶縁膜
- 14…コントロールゲート
- 16a, 16b, 16c, 16d…レファレンスセル
- 18…ワード線
- 20…行デコーダ
- 22…ビット線
- 24…列デコーダ
- 26…書き込み電圧駆動回路
- 28…読み出し電圧駆動回路
- 30…中間値発生回路
- 32, 32a, 32b, 32c…比較判定回路
- 50…読み出し電圧/書き込み電圧切替回路

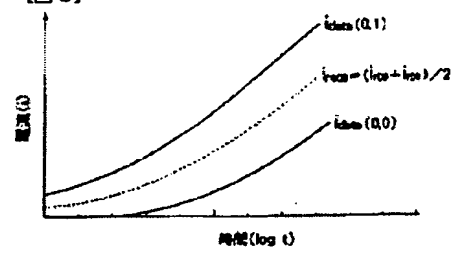
【図1】



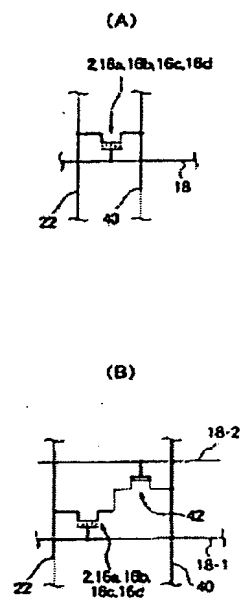
【図2】



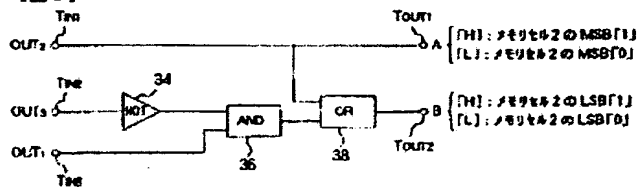
【図3】



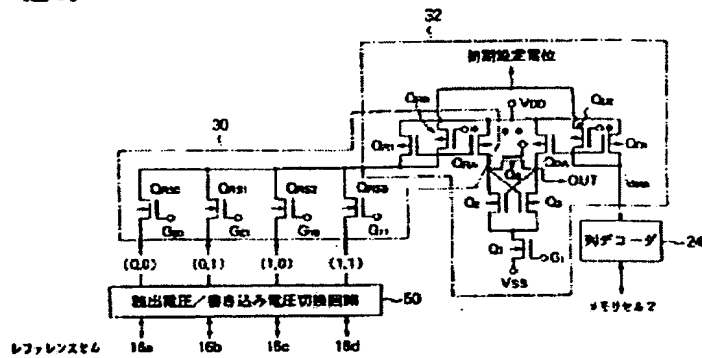
【図4】



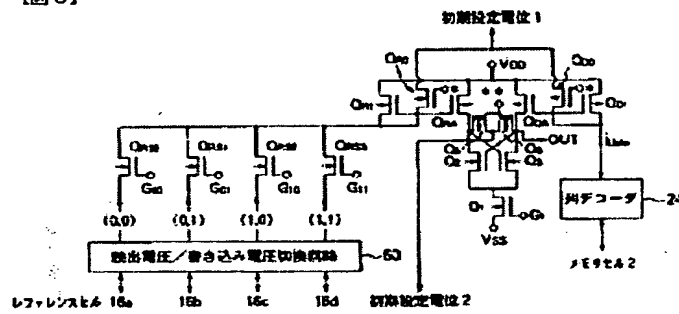
【図9】



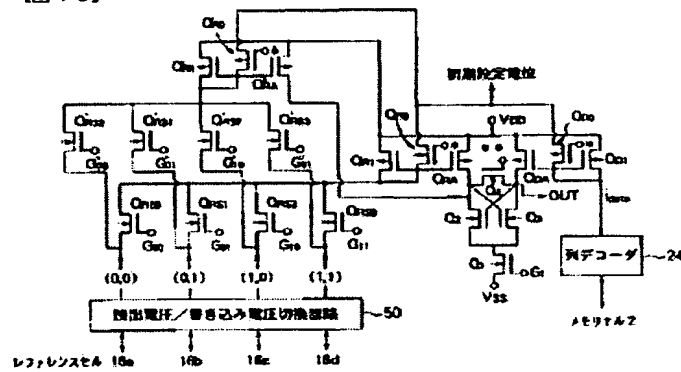
【図 5】



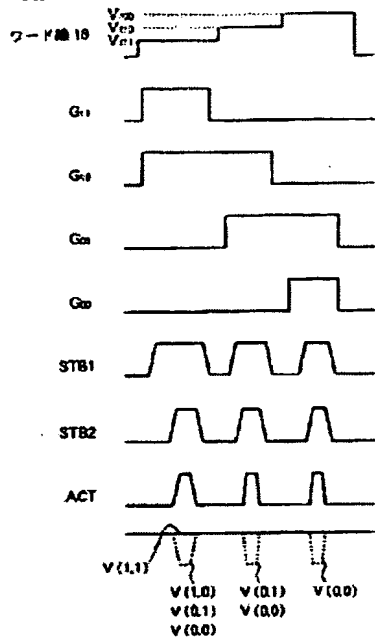
【図 6】



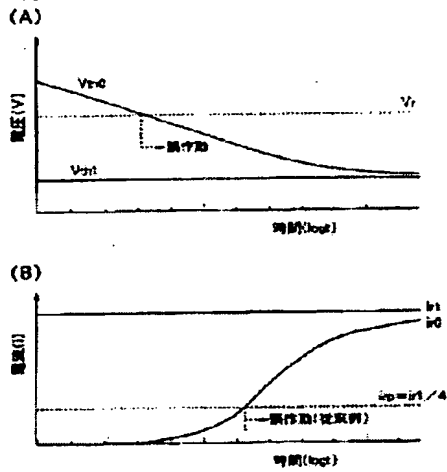
【図 10】



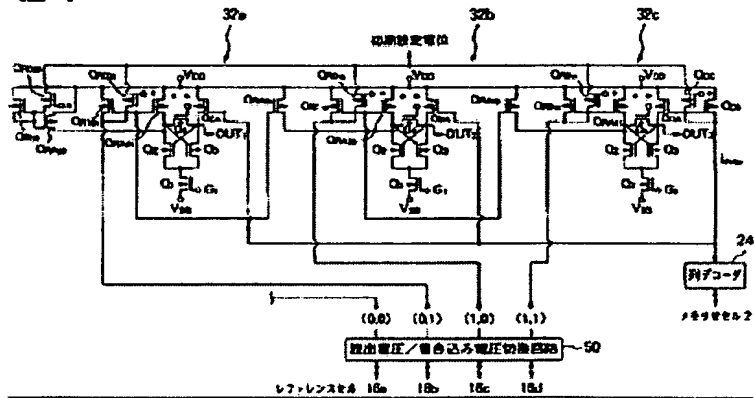
【図7】



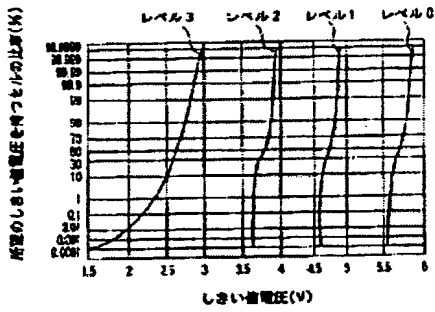
【図11】



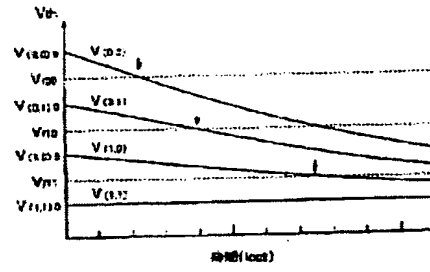
【図8】



【図 12】



【図 13】



## Japanese Unexamined Patent Publication No. Hei 07-161852

### [Claim(s)]

[Claim 1] The memory cell array by which the memory cell which carried out the laminating of a charge accumulation layer and the control gate, was constituted on the semi-conductor layer, and enabled electric rewriting has been arranged in the shape of a matrix, A threshold detection means to charge the bit line connected to said memory cell through this memory cell, said threshold detection means -- the non-volatile semiconductor memory characterized by what it has the sense amplifier which senses the potential of the charged bit line, and the bit line potential by said threshold detection means is controlled for so that it is determined by the threshold of said memory cell.

[Claim 2] The memory cell array by which the memory cell which enabled electric rewriting which carries out the laminating of a charge accumulation layer and the control gate, is constituted on a semi-conductor layer, and carries out the multiple-value storage of two or more three or more data with a threshold has been arranged in the shape of a matrix, A threshold detection means to charge the bit line connected to said memory cell through this memory cell, and to output the multiple-value data of a memory cell to a bit line as potential of multiple-value level, said threshold detection means -- the non-volatile semiconductor memory characterized by coming to provide the sense amplifier which senses the bit line potential of the charged multiple-value level.

[Claim 3] The every series connection of two or more said memory cells is carried out, and they form the NAND cellular structure. The end of a NAND cel is connected to a bit line through the 1st selector gate, and the other end of a NAND cel is connected to a source line through the 2nd selector gate. Said threshold detection means A source line electrical potential difference is made to transmit to a bit line through a NAND cel, and a bit line is charged. The selector-gate electrical potential difference of non-choosing control gate voltage and the 1st, and 2 The non-volatile semiconductor memory

according to claim 1 or 2 characterized by what is controlled to heighten enough the electrical-potential-difference transfer capability of the selection transistor of a non-choosing memory cell and the 1st, and 2 to determine a bit line electrical potential difference with the threshold of the selected memory cell.

[Claim 4] Two or more data circuits which have the function to function as said sense amplifier and to memorize the sensed information as data which control the write-in operating state of a memory cell, The write-in means for performing write-in actuation according to the content of said data circuit corresponding to two or more memory cells in said memory cell array, respectively, The write-in verification means using said threshold detection means in order to check whether the condition after write-in actuation of two or more of said memory cells is in the desired data storage condition, So that it may write in from the content of said data circuit, and the condition after write-in actuation of a memory cell and re-writing may be performed only to the memory cell of imperfection It has the renewal means of the content package of a data circuit which carries out renewal of a package of the content of the data circuit. Said renewal means of the content package of a data circuit The potential of the bit line with which the condition after write-in actuation of a memory cell is outputted is corrected according to the content of the data circuit so that bit line potential may be sensed / memorized as re-write-in data. The data storage condition of a data circuit is held until bit line potential is corrected. A data circuit is operated as a sense amplifier, with the corrected bit line potential held. Perform renewal of a package of the content of the data circuit, and the write-in actuation based on the content of the data circuit, and renewal of the content package of a data circuit The non-volatile semiconductor memory according to claim 2 characterized by what data writing is electrically performed for by carrying out repeating until a memory cell will be in a write-in predetermined condition.

[Claim 5] Said data circuit controls the write-in operating state of a memory cell according to the data memorized in the data circuit at the time of write-in actuation. It controls whether the condition of a memory cell is changed so that it may be in a write-in predetermined condition, or the condition of a memory cell is held in the

condition before write-in actuation. Said renewal means of the content package of a data circuit When the memory cell corresponding to the data circuit where the data which control a memory cell to make it change so that it may be in a write-in predetermined condition are memorized has reached the write-in predetermined condition The data of a data circuit are changed into the data which control the condition of a memory cell to hold in the condition before write-in actuation. When the memory cell corresponding to the data circuit where the data which control a memory cell to make it change so that it may be in a write-in predetermined condition are memorized has not reached a write-in predetermined condition The data which control the condition of a memory cell to make it change so that it may be in a write-in predetermined condition are set as a data circuit. When the data controlled to hold the condition of a memory cell in the condition before write-in actuation in a data circuit are memorized The non-volatile semiconductor memory according to claim 4 characterized by what the data controlled to hold the condition of a memory cell in the condition before write-in actuation are set as a data circuit for.

[Claim 6] In the bit line potential to which the condition after the writing of a memory cell is outputted by said threshold detection means Only the potential of the bit line corresponding to what is data controlled so that the content of said data circuit holds the condition of a memory cell in the condition before write-in actuation It has the bit line potential setting-out circuit set as amendment bit line potential which serves as data controlled to hold the condition of a memory cell in the condition before write-in actuation when it senses in a data circuit. A said renewal of the content package of a data circuit sake, The non-volatile semiconductor memory according to claim 5 characterized by what the potential of the bit line to which the condition after write-in actuation of a memory cell is outputted by the threshold detection means is corrected for by said bit line potential setting-out circuit according to the content of the data circuit.

[Claim 7] Give two or more three or more stored data "i" ( $i = "0", "1", "2", \dots, "n-1"$ ) to said one memory cell, and multiple-value storage is carried out. The storage condition

corresponding to data "0" is a non-volatile semiconductor memory which is in an elimination condition. Said data circuit The 1st data storage section which memorizes as information whether it controls to hold the condition of a memory cell in the condition before write-in actuation, It is constituted. the 2nd data storage section which memorizes the information which a memory cell should memorize in the case of the information which is not controlled so that the information on the 1st data storage section holds the condition of a memory cell in the condition before write-in actuation, and which writes in and shows data "i" ( $i = 1, 2, \dots, n-1$ ) -- since -- Said 1st data storage section was corrected by said bit line potential setting-out circuit according to the content of the data circuit for said renewal of the content package of a data circuit. The non-volatile semiconductor memory according to claim 6 characterized by what it has the function to sense / memorize the potential of the bit line to which the condition after write-in actuation of a memory cell is outputted by the threshold detection means for.

[Claim 8] The 1st data storage section is equipped with the function which senses bit line potential by comparing reference voltage with a bit line electrical potential difference. A said renewal of the content package of a data circuit sake, According to the content of the data circuit, were corrected by said bit line potential setting-out circuit using the reference voltage according to the content of the data circuit. The non-volatile semiconductor memory according to claim 7 characterized by what it has the function to sense / memorize the potential of the bit line to which the condition after write-in actuation of a memory cell is outputted by the threshold detection means for.

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to EEPROM which performs the multiple-value storage which makes more information especially to one memory cell than 1 bit memorize with respect to a non-volatile semiconductor memory (EEPROM) rewritable electric.

[0002]

[Description of the Prior Art] The NAND cel mold EEPROM which can be integrated highly is known as one of the EEPROMs. This carries out the series connection of two or more memory cells in the form which shares those sources and a drain by adjoining things, and connects them to a bit line by making this into one unit. A memory cell usually has the FETMOS structure where the laminating of a floating gate (charge accumulation layer) and the control gate was carried out. Accumulation formation of the memory cell array is carried out into p mold well formed in p mold substrate or n mold substrate. The drain side of a NAND cel is connected to a bit line through a selector gate, and a source side is too connected to a common source line through a selector gate. The control gate of a memory cell is continuously arranged in a line writing direction, and serves as a word line.

[0003] This NAND cel type EEPROM of actuation is as follows. Data writing is performed sequentially from the memory cell of the location most distant from the bit line. High tension  $V_{pp}$  (about  $\approx 20V$ ) is impressed to the control gate of the selected memory cell, intermediate voltage  $V_{ppm}$  (about  $\approx 10V$ ) is impressed to the control gate and the selector gate of a memory cell which are in a bit line side from it, and 0V or intermediate voltage  $V_m$  (about  $\approx 8V$ ) is given to a bit line according to data.

[0004] When 0V are given to a bit line, the potential is transmitted to the drain of a selection memory cell, and electron injection produces it in charge \*\*\*\*\*. This shifts the threshold of the selected memory cell in the forward direction. This condition is set to "1." When  $V_m$  is given to a bit line, electron injection does not happen effectually, therefore a threshold does not change but stops at negative. This condition is set to "0" in the state of elimination. Data writing is simultaneously performed to the memory cell which shares the control gate.

[0005] Data elimination is simultaneously performed to all the memory cells in a NAND cel. That is, all the control gates are set to 0V, and p mold well is set to 20V. At this time, a selector gate, a bit line, and a source line are also set to 20V. Thereby, the electron of a charge accumulation layer is emitted to p mold well by all memory cells, and a threshold is shifted in the negative direction.

[0006] Data read-out sets the control gate of the selected memory cell to 0V, and is performed by detecting whether a current flows by the selection memory cell by making the control gate and the selector gate of the other memory cell into the power-source potential  $V_{cc}$  (for example, 5V).

[0007] The threshold after [ constraint of read-out actuation to ] "1" writing must be controlled between  $V_{cc}(s)$  from 0V. For this reason, write-in verification is performed, only the memory cell of "1" write-in lack is detected, and re-write-in data are set up so that re-writing may be performed only to the memory cell of "1" write-in lack (it verifies the whole bit). The memory cell of "1" write-in lack is detected by reading by setting the selected control gate to 0.5V (verification electrical potential difference) (verification read-out). That is, if the threshold of a memory cell has a margin to 0V and has not become more than 0.5V, a current will flow by the selection memory cell and it will be detected with "1" write-in lack.

[0008] In the memory cell changed into a "0" write-in condition, since a current naturally flows, the circuit called the verification circuit which compensates the current which flows a memory cell is prepared so that this memory cell may not be taken for "1" writing being insufficient. It writes in a high speed and verification is performed by this

verification circuit.

[0009] Writing in with write-in actuation and repeating verification, to the memory cell of each [ carrying out data writing ], write-in time amount is optimized and the threshold after "1" writing is controlled between  $V_{cc}(s)$  from 0V.

[0010] It is this NAND cel mold EEPROM, for example, considers setting the condition after writing to three, "0", "1", and "2." For negative and a "1" write-in condition, a threshold is [ a "0" write-in condition / a threshold ] from 0V. (1/2) A threshold  $V_{cc}$  and a "2" write-in condition (1/2) It carries out to from  $V_{cc}$  to  $V_{cc}$ . In order to judge whether "1" and a "2" write-in condition are reached by whether a verification electrical potential difference is impressed to the control gate, and a current flows by the memory cell in the conventional verification read-out in order that the threshold of a memory cell may judge whether it is more than a verification electrical potential difference, it is 0V about a verification electrical potential difference, respectively. (1/2) It needed to be made  $V_{cc}$ , and needed to check twice and there was a problem that verification read-out took time amount.

[0011]

[Problem(s) to be Solved by the Invention] As mentioned above, when the memory cell tended to be made to memorize multiple-value information in the conventional NAND cel mold EEPROM and it was going to verify the whole bit in the conventional verification circuit, there was a problem that verification read-out took time amount.

[0012] This invention was made in consideration of the above-mentioned situation, the place made into the object can read multiple-value information, without changing a verification read-out electrical potential difference, and it is in offering EEPROM which can aim at compaction of verification read-out time amount.

[0013]

[Means for Solving the Problem] The multiple-value (n value) storage NAND cel mold EEPROM concerning this invention is controlled so that the bit line potential at the time of read-out actuation shows the threshold of a memory cell. This gives 2V to 6V and the selected control gate for example, for a common source line, and makes the potential

of a common source line transmit to a bit line. When bit line potential reaches the threshold of a memory cell, the current which flows a memory cell stops and the bit line potential serves as a value which lengthened the threshold of a memory cell from control gate voltage 2V. If bit line potential is 3V, the threshold of a memory cell is -1V. Non-choosing the control gate and a selector gate are set to 6V so that bit line potential may not be determined with the threshold of a non-choosing memory cell or a selection transistor.

[0014] if an elimination condition is set to "0" and multiple-value level is set to "0", "1", ..., "i", --"n-1" at order with the low threshold of a memory cell, in order that verification reading appearance may be carried out and writing may verify a \*\*\*\*\* simultaneously about all data "i" enough then, the reference potential when sensing bit line potential according to write-in data is set up. Moreover, if it already writes in and it is detected like [ in data "0" writing ] that it is enough, the current of a memory cell will be compensated, and if it is detected that it is inadequate in writing, a verification circuit will be prepared so that the current of a memory cell may not be compensated.

[0015] Moreover, it has the 1st register which writes in and memorizes a \*\*\*\*\* as data enough, and the 2nd register with which the multiple-value level to write in memorizes "1", ..., or of "n-1", and the 1st register also has the function of a sense amplifier to write in and to detect a \*\*\*\*\* enough. Furthermore, if there is a memory cell which has not reached a desired write-in condition, it is characterized by having the bit line write-in voltage-output circuit which writes in according to a desired write-in condition, and outputs the bit line electrical potential difference at the time so that re-writing may be performed only to the memory cell.

[0016] Namely, the memory cell array by which the memory cell which enabled electric rewriting which this invention carries out the laminating of a charge accumulation layer and the control gate, is constituted on a semi-conductor layer, and carries out the multiple-value storage of two or more three or more data with a threshold has been arranged in the shape of a matrix, A threshold detection means to charge the bit line connected to a memory cell through this memory cell, and to output the multiple-value

data of a memory cell to a bit line as potential of multiple-value level, a threshold detection means -- the non-volatile semiconductor device equipped with the sense amplifier which senses the bit line potential of the charged multiple-value level is considered as a basic configuration, and it is characterized by the following embodiment.

(1) The every series connection of two or more memory cells is carried out, and they form the NAND cellular structure. The end of a NAND cel is connected to a bit line through the 1st selector gate, and the other end of a NAND cel is connected to a source line through the 2nd selector gate. A threshold detection means A source line electrical potential difference is made to transmit to a bit line through a NAND cel, and a bit line is charged. The selector-gate electrical potential difference of non-choosing control gate voltage and the 1st, and 2 Be controlled to heighten enough the electrical-potential-difference transfer capability of the selection transistor of a non-choosing memory cell and the 1st, and 2 to determine a bit line electrical potential difference with the threshold of the selected memory cell.

(2) Two or more data circuits which have the function to function as a sense amplifier and to memorize the sensed information as data which control the write-in operating state of a memory cell, The write-in means for performing write-in actuation according to the content of the data circuit corresponding to two or more memory cells in a memory cell array, respectively, The write-in verification means using a threshold detection means in order to check whether the condition after write-in actuation of two or more memory cells is in the desired data storage condition, So that it may write in from the content of the data circuit, and the condition after write-in actuation of a memory cell and re-writing may be performed only to the memory cell of imperfection It has the renewal means of the content package of a data circuit which carries out renewal of a package of the content of the data circuit. The renewal means of the content package of a data circuit The potential of the bit line with which the condition after write-in actuation of a memory cell is outputted is corrected according to the content of the data circuit so that bit line potential may be sensed / memorized as re-write-in data. The data storage condition of a data circuit is held until bit line

potential is corrected. A data circuit is operated as a sense amplifier, with the corrected bit line potential held. Perform data writing electrically by performing renewal of a package of the content of the data circuit, and performing write-in actuation based on the content of the data circuit, and renewal of the content package of a data circuit, repeating until a memory cell will be in a write-in predetermined condition.

(3) A data circuit controls the write-in operating state of a memory cell according to the data memorized in the data circuit at the time of write-in actuation. It controls whether the condition of a memory cell is changed so that it may be in a write-in predetermined condition, or the condition of a memory cell is held in the condition before write-in actuation. The renewal means of the content package of a data circuit When the memory cell corresponding to the data circuit where the data which control a memory cell to make it change so that it may be in a write-in predetermined condition are memorized has reached the write-in predetermined condition The data of a data circuit are changed into the data which control the condition of a memory cell to hold in the condition before write-in actuation. When the memory cell corresponding to the data circuit where the data which control a memory cell to make it change so that it may be in a write-in predetermined condition are memorized has not reached a write-in predetermined condition The data which control the condition of a memory cell to make it change so that it may be in a write-in predetermined condition are set as a data circuit. When the data controlled to hold the condition of a memory cell in the condition before write-in actuation in a data circuit are memorized, set the data controlled to hold the condition of a memory cell in the condition before write-in actuation as a data circuit.

(4) In the bit line potential to which the condition after the writing of a memory cell is outputted by the threshold detection means Only the potential of the bit line corresponding to what is data controlled so that the content of the data circuit holds the condition of a memory cell in the condition before write-in actuation It has the bit line potential setting-out circuit set as amendment bit line potential which serves as data controlled to hold the condition of a memory cell in the condition before write-in

actuation when it senses in a data circuit. A renewal of the content package of a data circuit sake, Correct the potential of the bit line to which the condition after write-in actuation of a memory cell is outputted by the threshold detection means by the bit line potential setting-out circuit according to the content of the data circuit.

(5) Give two or more three or more stored data "i" ( $i = "0", "1", "2", \dots, "n-1"$ ) to one memory cell, and carry out multiple-value storage. The storage condition corresponding to data "0" is a non-volatile semiconductor memory which is in an elimination condition.

A data circuit The 1st data storage section which memorizes as information whether it controls to hold the condition of a memory cell in the condition before write-in actuation, It consists of the 2nd data storage section which memorizes the information which a memory cell should memorize in the case of the information which is not controlled so that the information on the 1st data storage section holds the condition of a memory cell in the condition before write-in actuation, and which writes in and shows data "i" ( $i = 1, 2, \dots, n-1$ ). The 1st data storage section should have the function to sense / memorize the potential of the bit line to which the condition after write-in actuation of a memory cell is outputted by the threshold detection means corrected by the bit line potential setting-out circuit according to the content of the data circuit for renewal of the content package of a data circuit.

(6) The 1st data-storage section has the function of sensing / memorizing the potential of the bit line to which the condition after write-in actuation of a memory cell is outputted by the threshold detection means which was equipped with the function which senses bit-line potential, and was corrected by the bit-line potential setting-out circuit according to the content of the data circuit using the reference voltage according to the content of the data circuit for renewal of the content package of a data circuit by comparing reference voltage with a bit-line electrical potential difference.

(7) When it is the information controlled so that the information on the 1st data storage section holds the condition of a memory cell in the condition before write-in actuation, The write-in prevention bit line voltage-output circuit which writes in a bit line and outputs a prevention bit line electrical potential difference at the time of write-in

actuation, In the case of the information which is not controlled so that the information on the 1st data storage section holds the condition of a memory cell in the condition before write-in actuation It had the i-th write-in bit line voltage-output circuit which outputs the bit line electrical potential difference at the time of the i-th writing according to the information which the memory cell of the 2nd data storage section should memorize, and which writes in and shows data "i" (i= 1, 2, --, n-1).

(8) It had a data reversal means for the data of the 1st data storage section which writes in with the data of the 1st data storage section which activates a bit line potential setting-out circuit, and activates a prevention bit line voltage-output circuit to have been reversed, and to reverse the data of the 1st data storage section at the time of write-in actuation before bit line potential setting-out circuit activation.

[0017]

[Function] In this invention, after performing multiple-value data writing, it is detected simultaneously whether the write-in condition of each memory cell has reached the multiple-value level condition of the request. And if there is a memory cell which has not reached desired multiple-value level, it will write in according to a desired write-in condition, and the bit line electrical potential difference at the time will be outputted so that re-writing may be performed only to the memory cell. This write-in actuation and verification read-out are repeated, and data writing will be ended if it checks that all memory cells have reached the desired write-in condition.

[0018] Thus, according to this invention, it can perform at a high speed making small the threshold of the memory cell which data writing ended eventually by repeating write-in actuation gradually, shortening 1 time of write-in time amount, and checking extent of progress of a write-in condition.

[0019]

[Example] Hereafter, the example of this invention is explained with reference to a drawing. Drawing 1 shows the memory cell array 1 of the NAND cel mold EEPROM concerning the 1st example of this invention. The memory cell array 1 is formed on p well or p substrate, and the series connection of the eight memory cells M1-M8 is

carried out between the selection transistor S1 connected to a bit line BL, and the selection transistor S2 connected to the common source line Vs, and it constitutes one NAND cel. Each selection transistor S (S1, S2) has a selector gate SG (SG1, SG2). Each memory cell has the floating gate (charge accumulation layer) and the control gate CG (CG1-CG8) by which laminating formation was carried out, and memorizes information in the amount of the charge stored in a floating gate. The amount of this stored charge can be read as a threshold of a memory cell.

[0020] In this invention, it is shown in drawing 2 , and this threshold is made and read. Here, the memory cell M2 which has the control gate CG 2 is chosen. As shown in drawing 2 (a), an electrical potential difference is impressed to each part, and a bit line BL is made into floating. If the bit line BL is beforehand reset to 0V, a bit line BL will be charged through a NAND cel by the common source line Vs. Each selector gate and control gate voltage are controlled to be decided by the threshold of the memory cell M2 as which the potential of this charged bit line BL was chosen.

[0021] In this example, the control gate CG 2 chosen as 6V in a selector gate 1 and SG 2 and the control gates 3-CG [ CG1 and ] 8 is set to 2V, and the common source line Vs is set to 6V. The voltage waveform of each part is shown in drawing 2 (b). The threshold not more than 2V can be read by this, and if the threshold of a non-choosing memory cell is controlled less than [ 2.5V ], the threshold beyond -1.5V can be read. If the potential of a bit line BL is 0V and more than 2V and bit line potential of a threshold are 3.5V, a threshold is less than [ -1.5V ]. If the electrical potential difference of a selector gate 1 and SG 2 and the non-selection-control gates 3-CG [ CG1 and ] 8 is made sufficiently high, the threshold to -4V can also be read.

[0022] The threshold of the memory cell in this case and the relation of bit line output voltage come to be shown in drawing 3 . Although it will become like a continuous line if it calculates from a threshold in case back bias is 0V, a bit line electrical potential difference serves as back bias actually, and bit line output voltage becomes low like a dashed line. Hereafter, unless it refused for simplification of explanation, an expression called a threshold should take back bias into consideration.

[0023] After an electron is emitted by elimination actuation from the floating gate of a memory cell, an electron is poured into a floating gate by write-in actuation according to write-in data. Drawing 4 reads with write-in time amount in case it reads with the threshold of a non-choosing memory cell and the bit line output voltage at the time is not restricted, and shows the relation of the bit line output voltage at the time. For example, when the electrical potential difference of the common source line at the time of read-out is 3V, unless an electron is poured in to a floating gate and a threshold becomes more than -1V, bit line output voltage does not change. If the threshold of a non-choosing memory cell is a forward value even when the electrical potential difference of a common source line is 6V, the bit line output voltage at the time of read-out will be restricted.

[0024] What is necessary is just to let the condition (threshold about 0-1 V) that data "0" (elimination condition) and bit line output voltage are set to 1-2V in the condition (threshold about -2V- -1 V) that read as shown in drawing 5 , and the bit line output voltage at the time is set to 3-4V be data "1", when you give two conditions (data "0", "1") to one memory cell.

[0025] When giving three conditions (data "0", "1", "2") to one memory cell, The condition (threshold about -2.5V- -1.5 V) that read as shown in drawing 6 , and the bit line output voltage at the time is set to 3.5-4.5V For example, data "0" (elimination condition), What is necessary is just to let the condition (threshold about 1.5 V-2.5V) that data "1" and bit line output voltage are set to 0-0.5V in the condition (it is [ about ] at a threshold -0.5V-0.5V) that bit line output voltage is set to 1.5-2.5V be data "2."

[0026] Drawing 7 shows the memory cell array 1 of the NOR cel mold EEPROM concerning the 2nd example of this invention. The memory cell array 1 is formed on p well or p substrate, and one memory cell M is arranged between [ each ] a bit line BL and the common source line Vs. Each memory cell has the floating gate and word line WL by which laminating formation was carried out.

[0027] It is shown in drawing 8 , and the threshold of this memory cell is made and read. As shown in drawing 8 (a), an electrical potential difference is impressed to each

part, and a bit line BL is made into floating. If the bit line BL is beforehand reset to 0V, a bit line BL will be charged through a memory cell by the common source line Vs. The potential of this charged bit line BL is decided by the threshold of the selected memory cell M.

[0028] In this example, a word line WL is set to 6V, and the common source line Vs is set to 6V. The voltage waveform of each part is shown in drawing 8 (b). Thereby, the threshold of 0-6V can be read. If the potential of a bit line BL is 0V and more than 6V and bit line potential of a threshold are 6V, a threshold is less than [ 0V ]. The threshold of the memory cell in this case and the relation of bit line output voltage come to be shown in drawing 9 . Although it will become like a continuous line if it calculates from a threshold in case back bias is 0V, actually, like drawing 3 , a bit line electrical potential difference serves as back bias, and bit line output voltage becomes low like a dashed line.

[0029] After an electron is poured into the floating gate of a memory cell by elimination actuation, an electron is emitted from a floating gate by the write-in actuation according to write-in data. Drawing 10 reads with write-in time amount, and shows the relation of the bit line output voltage at the time. For example, when the electrical potential difference of the common source line at the time of read-out is 3V, if an electron is emitted from a floating gate and a threshold becomes less than [ 3V ], bit line output voltage will not change. Even when the electrical potential difference of a common source line is 6V, it will read, if a threshold becomes less than [ 0V ], and the bit line output voltage at the time will not change.

[0030] What is necessary is just to let the condition (threshold about 2 V-3V) that data "0" (elimination condition) and bit line output voltage are set to 3-4V in the condition (threshold about 4N- 5 V) that read as shown in drawing 11 , and the bit line output voltage at the time is set to 1-2V be data "1", when you give two conditions (data "0", "1") to one memory cell.

[0031] When giving three conditions (data "0", "1", "2") to one memory cell, The condition (V or more [ Threshold about 5.5 ]) that read as shown in drawing 12 , and

the bit line output voltage at the time is set to 0-0.5V. For example, data "0" (elimination condition), what is necessary is just to let the condition (threshold about 1.5 V-2.5V) that data "1" and bit line output voltage are set to 3.5-4.5V in the condition (threshold about 3.5 V-4.5V) that bit line output voltage is set to 1.5-2.5V be data "2."

[0032] Drawing 13 shows the configuration of 3 value storage type EEPROM in the 1st and 2nd examples in this invention. The bit line control circuit 2 for controlling the bit line at the time of read-out/writing and the word line actuation circuit 6 for controlling word line potential are formed to the memory cell array 1 ((a), (b)). The bit line control circuit 2 is chosen by the column decoder 3. The bit line control circuit 2 is read with the I / O data conversion circuit 4 through a data input output line (IO line), and exchanges data / write-in data. Since the I / O data conversion circuit 4 outputs outside the multiple-value information on the memory cell by which reading appearance was carried out, it is changed into binary information, and it changes into the multiple-value information on a memory cell the binary information on the write-in data inputted from the outside. The I / O data conversion circuit 4 is connected to the data input output buffer 5 which controls data I/O with the exterior.

[0033] Drawing 14 shows the memory cell array 1 of the NAND cell mold EEPROM in the 1st example, and the concrete configuration of the bit line control circuit 2. The end of a NAND mold cell is connected to a bit line BL, and the other end is connected with the common source line Vs. The memory cell M which a selector gate 1 and SG 2 and the control gates 1-CG 8 are shared by two or more NAND mold cells, and shares the one control gate constitutes a page. A memory cell memorizes data with the threshold  $V_t$ , and as shown in said drawing 6, it memorizes "0", "1", and "2" data. Three conditions are given by one memory cell, and nine kinds of combination is made in two memory cells. Among this, the data for a triplet are memorized by two memory cells using eight kinds of combination.

[0034] In this example, the data for a triplet are memorized in the group of the memory cell of two \*\*\*\*\* which share the control gate. Moreover, the memory cell array 1 ((a), (b)) is formed on p well of dedication, respectively.

[0035] A flip-flop 1 and FFs 2 is constituted from the n channel MOS transistors (n-ch Tr.) 8-Qn 10, p channel MOS transistors (p-ch Tr.) 3-Qn 5, n-ch Tr.Qn 11-13, and p-ch Tr.Qn 6-8, respectively, and writing / read-out data is latched. Moreover, it operates also as a sense amplifier. A flip-flop FF 1 writes in "whether do you carry out "0" writing, or carry out "1" or "2" writing", and latches as data information it, and a memory cell reads "whether do you hold the information on "0", or hold the information on "1" or "2", and latches it as data information. [ it ] A flip-flop FF 2 writes in "whether do you carry out "1" writing, or carry out "2" writing", and latches as data information it, and a memory cell reads "whether do you hold the information on "2", or hold the information on "0" or "1", and latches it as data information. [ it ]

[0036] n-ch Tr.Qn1 will transmit an electrical potential difference Va to a bit line BLa, if precharge signal phipa serves as "H". n-ch Tr.Qn20 will transmit an electrical potential difference Vb to a bit line BLb, if precharge signal phipb serves as "H". n-ch Tr.Qn 4-7 and p-ch Tr.Qp 1-2 transmit electrical potential differences VBHa, VBMA, and VBLa to a bit line BLa selectively according to the data latched to flip-flops FF1 and FF2. n-ch Tr.Qn 14-17 and p-ch Tr.9-10 transmit electrical potential differences VBHb, VBMB, and VBLb to a bit line BLb selectively according to the data latched to flip-flops FF1 and FF2. n-ch Tr.Qn2 connects a bit line BLa with a flip-flop FF 1 because a signal phia1 serves as "H". n-ch Tr.Qn3 connects a bit line BLa with a flip-flop FF 2 because a signal phia2 serves as "H". n-ch Tr.Qn19 connects a bit line BLb with a flip-flop FF 1 because a signal phib1 serves as "H". n-ch Tr.Qn18 connects a bit line BLb with a flip-flop FF 2 because a signal phib2 serves as "H".

[0037] Next, actuation of EEPROM constituted in this way is explained according to drawing 15 -17. In drawing 15 , the timing of read-out actuation and drawing 16 show the timing of write-in actuation, and drawing 17 shows the timing of verification read-out actuation. All have shown the case where control gate CG2a is chosen to the example.

[0038] Read-out actuation is performed by two basic cycles. First, an electrical potential difference Vb is set to 3V, and a dummy bit line and the becoming bit line BLb are

precharged for cycle [ 1st ] read-out. Moreover, precharge signal  $\phi_{ipa}$  is set to "L", the subdevice-bit line BL<sub>a</sub> is made into floating, and the common source line V<sub>sa</sub> is set to 6V. Then, selector gates 1a and SG 2a and the control gates 1a, 3a-CG 8a are set to 6V. Control gate CG2a chosen simultaneously is set to 2V. Only when data "0" are written in the selected memory cell, the electrical potential difference of a bit line BL<sub>a</sub> becomes more than 3V.

[0039] Then, the flip-flop activation signal  $\phi_{in1}$  and  $\phi_{ip1}$  become "L" and "H", respectively, and a flip-flop FF 1 is reset. A signal  $\phi_{ia1}$  and  $\phi_{ib1}$  become "H", a flip-flop FF 1 and bit lines BL<sub>a</sub> and BL<sub>b</sub> are connected, a signal  $\phi_{in1}$  and  $\phi_{ip1}$  are set to "H" and "L", respectively, bit line potential is sensed, and the information on "whether it is "0" data, "1", or "2" data" is latched to a flip-flop FF 1.

[0040] that cycle [ 2nd ] read-out is read, the 1st cycle and the electrical potential difference of the dummy bit line BL<sub>b</sub> do not come out 3V, and it is 1V, and Signal  $\phi_{ia1}$  and  $\phi_{ib1}$  and  $\phi_{in1}$  and  $\phi_{ip1}$  it is different that a signal  $\phi_{ia2}$ ,  $\phi_{ib2}$ ,  $\phi_{in2}$ , and  $\phi_{ip2}$  are outputted instead of  $\phi_{ip1}$ . Therefore, in cycle [ 2nd ] read-out, the information on "whether it is "2" data, "1", or "0" data" is latched to a flip-flop FF 2.

[0041] Reading appearance of the data written in the memory cell is carried out by two read-out cycles explained above. The data of a memory cell are eliminated in advance of data writing, and the threshold V<sub>t</sub> of a memory cell has become less than [ -1.5V ]. Elimination sets p well, the common source line V<sub>sa</sub>, and selector gates 1a and SG 2a to 20V, and the control gates 1a-CG 8a are performed as 0V.

[0042] In write-in actuation, precharge signal  $\phi_{ipa}$  is first set to "L", and a bit line BL<sub>a</sub> is made into floating. V<sub>cc</sub> and the control gates 1a-CG 8a are set to V<sub>cc</sub> for selector-gate SG1a. Selector-gate SG2a writes in and is working 0V. Simultaneously, Signal VRFY<sub>a</sub> serves as "H" and PB<sub>a</sub> is served as to "L." Since in "0" writing data are latched so that a node N1 may be set to "L" to a flip-flop FF 1, a bit line BL<sub>a</sub> is charged by V<sub>cc</sub> with an electrical potential difference VB<sub>Ha</sub>. In "1" or "2" writing, a bit line BL<sub>a</sub> is 0V.

[0043] Then, selector-gate SG1a and the control gates 1a-CG 8a serve as [ 8V and an electrical potential difference VB<sub>Ma</sub> ] 10V and an electrical potential difference VB<sub>Ha</sub>,

and  $V_{rw}$  is served as to 1V. In "1" writing, since data are latched so that a node N3 may be set to "L" to a flip-flop FF 2, 1V are impressed to a bit line BL<sub>a</sub> with an electrical potential difference  $V_{BMa}$ . In "2" writing, in 0V and "0" writing, a bit line BL<sub>a</sub> is set to 8V. Then, selected control gate CG2<sub>a</sub> is set to 20V.

[0044] As for the case of "1" or "2" writing, an electron is poured into the charge accumulation layer of a memory cell according to the potential difference of a bit line BL<sub>a</sub> and control gate CG2<sub>a</sub>, and the threshold of a memory cell rises. In order to have to lessen the amount of charges which should be poured into the charge accumulation layer of a memory cell as compared with "2" writing, in "1" writing, a bit line BL<sub>a</sub> is set to 1V, and it is easing the potential difference with control gate CG2<sub>a</sub> to 19V. At the time of "0" writing, the threshold of a memory cell does not change effectually by bit line electrical-potential-difference 8V.

[0045] At the time of termination of write-in actuation, selector-gate SG1<sub>a</sub> and the control gates 1a-CG 8<sub>a</sub> are first set to 0V, and electrical-potential-difference 8V of the bit line BL<sub>a</sub> at the time of "0" writing are overdue, and are reset by 0V. It is because the data in which the condition of "2" write-in actuation was made temporarily, and it made a mistake at the time of "0" writing will be written if this sequence is reversed.

[0046] In order to check the write-in condition of a memory cell and to perform additional writing only to the memory cell of write-in lack after write-in actuation, verification read-out is performed. Verification read-out resembles cycle [ 1st ] read-out. It is different that reversing the data of a flip-flop FF 1 first, an electrical potential difference's  $V_b$  serving as  $V_{cc}$ , and Signals  $V_{RFYa}$  and  $V_{RFYb}$  are outputted, and electrical potential differences  $V_{BLb}$  and  $V_{BMb}$  are then set to 2.5V and 0.5V, respectively. The electrical potential difference of the dummy bit line BL<sub>b</sub> is determined by the data of an electrical potential difference  $V_b$ ,  $V_{BLb}$ ,  $V_{BMb}$ , and a flip-flop 1 and FFs 2. after, as for Signals  $V_{RFYa}$  and  $V_{RFYb}$ , selector gates 1<sub>a</sub> and SG 2<sub>a</sub> and the control gates 1a-CG 8<sub>a</sub> were reset by 0V -- a signal  $\phi_{in1}$  and  $\phi_{ip1}$  -- respectively -- "L" and "H" -- it is outputted in front. In other words, after determining the potential of a bit line BL<sub>a</sub> by the threshold of a memory cell, before a flip-flop FF 1 is reset, it is.

[0047] Reversal actuation is explained for the data of a flip-flop FF 1. First, an electrical potential difference  $V_b$  is set to 2.5V, and a dummy bit line and the becoming bit line BLb are precharged. Moreover, precharge signal  $\phi_{ipa}$  and  $\phi_{ipb}$  are set to "L", and bit lines BLa and BLb are made into floating. Then, Signal PBa is set to "L", and only when a node N1 is "L", a bit line BLa is charged more than 2.5V. Then, the flip-flop activation signal  $\phi_{in1}$  and  $\phi_{ip1}$  become "L" and "H", respectively, and a flip-flop FF 1 is reset. A signal  $\phi_{ia1}$  and  $\phi_{ib1}$  become "H", a flip-flop FF 1 and bit lines BLa and BLb are connected, a signal  $\phi_{in1}$  and  $\phi_{ip1}$  are set to "H" and "L", respectively, and bit line potential is sensed. The data of a flip-flop FF 1 are reversed by this actuation.

[0048] Next, the electrical potential difference of the bit line BL after the data reversal actuation decided by the threshold of the data (data1) latched to the flip-flop FF 1, the data (data2) latched to the flip-flop FF 2, and the selected memory cell is explained. data1 controls "whether it is writing, "1", or "0" "2" writing", and, in "0" writing, in H", "1", or "2" writing, a node N1 is [ a node N1 ] "L" after data reversal actuation after data reversal actuation. data2 controls "whether they are writing and "1" "2" writing", and, in "1" writing, in "L" and "2" writing, a node N3 is [ a node N3 ] "H".

[0049] In the verification read-out actuation after "0" data writing, it is not based on the condition of a memory cell, but a bit line BL becomes "L" with the electrical potential differences  $V_{BLa}$  and  $V_{BMa}$  of 0V because Signal VRFYa serves as "H". Therefore, a bit line BLa is sensed and the re-write-in data latched are "0" so that a node N1 may be set to "L" with a flip-flop FF 1.

[0050] In the verification read-out actuation after "1" data writing, Signal VRFYb serves as "H" and the dummy bit line BLb is set to 2.5V. Therefore, when the memory cell has not reached a "1" write-in condition, a bit line BLa is more than 2.5V, a bit line BLa is sensed and the re-write-in data latched are "1" so that a node N1 may become "H" with a flip-flop FF 1. When the memory cell has reached the "1" write-in condition, a bit line BLa is less than [ 2.5V ], a bit line BLa is sensed and the re-write-in data latched are "0" so that a node N1 may be set to "L" with a flip-flop FF 1.

[0051] In the verification read-out actuation after "2" data writing, Signal VRFYb serves

as "H" and the dummy bit line BLb is set to 0.5V. Therefore, when the memory cell has not reached a "2" write-in condition, a bit line BLa is more than 0.5V, a bit line BLa is sensed and the re-write-in data latched are "2" so that a node N1 may become "H" with a flip-flop FF 1. When the memory cell has reached the "2" write-in condition, a bit line BLa is less than [ 0.5V ], a bit line BLa is sensed and the re-write-in data latched are "0" so that a node N1 may be set to "L" with a flip-flop FF 1. By this verification read-out actuation, from the write-in condition of write-in data and a memory cell, re-write-in data are set up, as shown in the following (table 1).

[0052]

[A table 1]

書き込みデータ	0	0	0	1	1	2	2	2
メモリセルのデータ	0	1	2	0	1	0	1	2
再書き込みデータ	0	0	0	1	0	2	2	0

this (table 1) -- from -- it should be in a "1" write-in condition as [ understand ] -- nevertheless -- the memory cell of "1" write-in lack -- again -- "1" -- writing is performed and it should be in a "2" write-in condition -- nevertheless -- "2" -- "2" writing is again performed only to the memory cell of write-in lack.

[0053] Data writing is performed by repeating write-in actuation and verification read-out actuation, and performing them. The potential of each part of a memory cell array at the time of elimination, writing, read-out, and verification read-out is shown in the following (table 2).

[0054]

[A table 2]

	電圧	書き込み			読み出し		ベリファイ
		"0"	"1"	"2"	Bit0	Bit1	
BL	20V	8V	1V	0V	"0"時出力 "H"	"1"時出力 "L"	図17参照
SG1	20V		10V		6V	6V	6V
CG1	0V		10V		6V	6V	6V
CG2	0V		20V		2V	2V	2V
CG3	0V		10V		6V	6V	6V
CG4	0V		10V		6V	6V	6V
CG5	0V		10V		6V	6V	6V
CG6	0V		10V		6V	6V	6V
CG7	0V		10V		6V	6V	6V
CG8	0V		10V		6V	6V	6V
SG2	20V		0V		6V	6V	6V
Vss	20V		0V		6V	6V	6V
pウェル	20V		0V		0V	0V	0V

[0055] Drawing 18 shows the memory cell array 1 of the NOR cell mold EEPROM in the 2nd example, and the concrete configuration of the bit line control circuit 2. The end of a NOR mold cell is connected to a bit line BL, and the other end is connected with the common source line Vs. The memory cell M which a word line WL is shared by two or more NOR mold cells, and shares one word line constitutes a page. A memory cell memorizes data with the threshold  $V_t$ , and memorizes "0", "1", and "2" data like drawing 12. Three conditions are given by one memory cell, and nine kinds of combination is made in two memory cells. Among this, the data for a triplet are memorized by two memory cells using eight kinds of combination. In this example, the data for a triplet are memorized in the group of the memory cell of two \*\*\*\*\* which share a word line. Moreover, the memory cell array 1 ((a), (b)) is formed on p substrate.

[0056] A flip-flop 3 and FFs 4 is constituted from n-ch Tr.Qn 26-28, p-ch Tr.Qn 15-17 and n-ch Tr.Qn 29-31, and p-ch Tr.Qn 18-20, respectively, and writing / read-out data is latched. Moreover, it operates also as a sense amplifier. A flip-flop FF 3 writes in "whether do you carry out "0" writing, or carry out "1" or "2" writing", and latches as data information it, and a memory cell reads "whether do you hold the information on "0", or hold the information on "1" or "2", and latches it as data information. [ it ] A flip-flop FF 4 writes in "whether do you carry out "1" writing, or carry out "2" writing",

and latches as data information it, and a memory cell reads "whether do you hold the information on "2", or hold the information on "0" or "1", and latches it as data information. [ it ]

[0057] n-ch Tr.Qn21 will transmit an electrical potential difference  $V_a$  to a bit line BL<sub>a</sub>, if precharge signal  $\phi_{ipa}$  serves as "H". n-ch Tr.Qn36 will transmit an electrical potential difference  $V_b$  to a bit line BL<sub>b</sub>, if precharge signal  $\phi_{ipb}$  serves as "H". n-ch Tr.Qn 24 and 25 and p-ch Tr.11-14 transmit selectively electrical potential differences VB<sub>Ha</sub> and VB<sub>Ma</sub> and 0V to a bit line BL<sub>a</sub> according to the data latched to flip-flops FF3 and FF4. n-ch Tr.Qn 32 and 33 and p-ch Tr.21-24 transmit selectively electrical potential differences VB<sub>Hb</sub> and VB<sub>Mb</sub> and 0V to a bit line BL<sub>b</sub> according to the data latched to flip-flops FF3 and FF4. n-ch Tr.Qn22 connects a bit line BL<sub>a</sub> with a flip-flop FF 3 because a signal  $\phi_{ia1}$  serves as "H". n-ch Tr.Qn23 connects a bit line BL<sub>a</sub> with a flip-flop FF 4 because a signal  $\phi_{ia2}$  serves as "H". n-ch Tr.Qn35 connects a bit line BL<sub>b</sub> with a flip-flop FF 3 because a signal  $\phi_{ib1}$  serves as "H". n-ch Tr.Qn34 connects a bit line BL<sub>b</sub> with a flip-flop FF 4 because a signal  $\phi_{ib2}$  serves as "H".

[0058] Next, actuation of EEPROM constituted in this way is explained according to drawing 19 -21. In drawing 19 , the timing of read-out actuation and drawing 20 show the timing of write-in actuation, and drawing 21 shows the timing of verification read-out actuation. All have shown the case where a word line WL<sub>a</sub> is chosen to the example.

[0059] Read-out actuation is performed by two basic cycles. First, an electrical potential difference  $V_b$  is set to 1V, and a dummy bit line and the becoming bit line BL<sub>b</sub> are precharged for cycle [ 1st ] read-out. Moreover, precharge signal  $\phi_{ipa}$  is set to "L", the subdevice-bit line BL<sub>a</sub> is made into floating, and the common source line  $V_{sa}$  is set to 6V. Then, a word line WL<sub>a</sub> is set to 6V. Only when data "0" are written in the selected memory cell, the electrical potential difference of a bit line BL<sub>a</sub> becomes less than [ 0.5V ].

[0060] Then, the flip-flop activation signal  $\phi_{in1}$  and  $\phi_{ip1}$  become "L" and "H", respectively, and a flip-flop FF 3 is reset. A signal  $\phi_{ia1}$  and  $\phi_{ib1}$  become "H", a

flip-flop FF 3 and bit lines BL<sub>a</sub> and BL<sub>b</sub> are connected, a signal  $\phi_{in1}$  and  $\phi_{ip1}$  are set to "H" and "L", respectively, bit line potential is sensed, and the information on "whether it is "0" data, "1", or "2" data" is latched to a flip-flop FF 3.

[0061] that cycle [ 2nd ] read-out is read, the 1st cycle and the electrical potential difference of the dummy bit line BL<sub>b</sub> do not come out 1V, and it is 3V, and Signal  $\phi_{i-a1}$  and  $\phi_{i-b1}$  and  $\phi_{i-n1}$  and  $\phi_{i-p1}$  -- it is different that a signal  $\phi_{ia2}$ ,  $\phi_{ib2}$ ,  $\phi_{in2}$ , and  $\phi_{ip2}$  are outputted instead of  $\phi_{i1}$ . Therefore, in cycle [ 2nd ] read-out, the information on "whether it is "2" data, "1", or "0" data" is latched to a flip-flop FF 4.

[0062] Reading appearance of the data written in the memory cell is carried out by two read-out cycles explained above. The data of a memory cell are eliminated in advance of data writing, and the threshold  $V_t$  of a memory cell has become more than 5.5V. A word line WL<sub>a</sub> is set to 20V, and a bit line BL<sub>a</sub> is performed as 0V.

[0063] In write-in actuation, precharge signal  $\phi_{ipa}$  is first set to "L", and a bit line BL<sub>a</sub> is made into floating. Then, Signal VRFYB<sub>a</sub> is served as to "L" and Pa serves as "H". Since in "0" writing data are latched so that a node N5 may become "H" to a flip-flop FF 3, a bit line BL<sub>a</sub> is set to 0V. In "1" or "2" writing, a bit line BL<sub>a</sub> is set to  $V_{cc}$  by electrical potential differences VBH<sub>a</sub> and VB<sub>Ma</sub>.

[0064] Then, 8V and an electrical potential difference VB<sub>Ma</sub> are set to 7V by electrical potential differences VBH<sub>a</sub> and  $V_{rw}$ . In "1" writing, since data are latched so that a node N7 may become "H" to a flip-flop FF 4, 7V are impressed to a bit line BL<sub>a</sub> with an electrical potential difference VB<sub>Ma</sub>. In "2" writing, in 8V and "0" writing, a bit line BL<sub>a</sub> is set to 0V. Then, the selected word line WL<sub>a</sub> is set to -12V.

[0065] In "1" or "2" writing, an electron is emitted by the potential difference of a bit line BL<sub>a</sub> and a word line WL<sub>a</sub> from the charge accumulation layer of a memory cell, and the threshold of a memory cell falls. In order to have to lessen the amount of charges which should be emitted from the charge accumulation layer of a memory cell as compared with "2" writing, in "1" writing, a bit line BL<sub>a</sub> is set to 7V, and it is easing the potential difference with a word line WL<sub>a</sub> to 19V. At the time of "0" writing, the threshold of a memory cell does not change effectually by bit line

electrical-potential-difference 0V.

[0066] In order to check the write-in condition of a memory cell and to perform additional writing only to the memory cell of write-in lack after write-in actuation, verification read-out is performed. Verification read-out resembles cycle [ 1st ] read-out. It is different that reversing the data of a flip-flop FF 3 first, an electrical potential difference's  $V_b$  being 0V, and Signals VRFYBa and VRFYBb are outputted, and electrical potential differences VBHb and VBMb are then set to 1.5V and 3.5V, respectively. The electrical potential difference of the dummy bit line BLb is determined by the data of an electrical potential difference  $V_b$ , VBHb, VBMb, and a flip-flop 3 and FFs 4. after, as for Signals VRFYBa and VRFYBb, the word line WLa was reset by 0V -- a signal  $\phi_{in1}$  and  $\phi_{ip1}$  -- respectively -- "L" and "H" -- it is outputted in front. In other words, after determining the potential of a bit line BLa by the threshold of a memory cell, before a flip-flop FF 3 is reset, it is.

[0067] First, reversal actuation is explained for the data of a flip-flop FF 1. Electrical potential differences  $V_a$  and  $V_b$  are first set to  $V_{cc}$  and 2.5V, respectively, and bit lines BLa and BLb are precharged. Moreover, precharge signal  $\phi_{ipa}$  and  $\phi_{ipb}$  are set to "L", and bit lines BLa and BLb are made into floating. Then, Signal Pa serves as "H", and only when a node N3 is "H", a bit line BLa discharges less than [ 2.5V ]. Then, the flip-flop activation signal  $\phi_{in1}$  and  $\phi_{ip1}$  become "L" and "H", respectively, and a flip-flop FF 3 is reset. A signal  $\phi_{ia1}$  and  $\phi_{ib1}$  become "H", a flip-flop FF 3 and bit lines BLa and BLb are connected, a signal  $\phi_{in1}$  and  $\phi_{ip1}$  are set to "H" and "L", respectively, and bit line potential is sensed. The data of a flip-flop FF 3 are reversed by this actuation.

[0068] Next, the electrical potential difference of the bit line BL after the data reversal actuation decided by the threshold of the data (data1) latched to the flip-flop FF 3, the data (data2) latched to the flip-flop FF 4, and the selected memory cell is explained. data1 "is writing, "1", or "0" "2" writing" -- controlling -- the case of "0" writing -- a node N5 -- after data reversal actuation -- the case of "L", "1", or "2" writing -- a node N5 -- after data reversal actuation -- "H" -- it is. data2 controls "whether they are

writing and "1" "2" writing", and, in "1" writing, in "H" and "2" writing, a node N7 is [ a node N7 ] "L."

[0069] In the verification read-out actuation after "0" data writing, it is not based on the condition of a memory cell, but a bit line BL<sub>a</sub> serves as "H" with electrical potential differences VB<sub>H</sub><sub>a</sub> and VB<sub>M</sub><sub>a</sub> by Signal VRFYB<sub>a</sub> being set to "L." Therefore, a bit line BL<sub>a</sub> is sensed and the re-write-in data latched are "0" so that a node N5 may become "H" with a flip-flop FF 3.

[0070] In the verification read-out actuation after "1" data writing, Signal VRFYB<sub>b</sub> is set to "L" and the dummy bit line BL<sub>b</sub> is set to 1.5V. Therefore, when the memory cell has not reached a "1" write-in condition, a bit line BL<sub>a</sub> is less than [ 1.5V ], a bit line BL<sub>a</sub> is sensed and the re-write-in data latched are "1" so that a node N5 may be set to "L" with a flip-flop FF 3. When the memory cell has reached the "1" write-in condition, a bit line BL<sub>a</sub> is more than 1.5V, a bit line BL<sub>a</sub> is sensed and the re-write-in data latched are "0" so that a node N5 may become "H" with a flip-flop FF 3.

[0071] In the verification read-out actuation after "2" data writing, Signal VRFYB<sub>b</sub> is set to "L" and the dummy bit line BL<sub>b</sub> is set to 3.5V. Therefore, when the memory cell has not reached a "2" write-in condition, a bit line BL<sub>a</sub> is less than [ 3.5V ], a bit line BL<sub>a</sub> is sensed and the re-write-in data latched are "2" so that a node N5 may be set to "L" with a flip-flop FF 3. When the memory cell has reached the "2" write-in condition, a bit line BL<sub>a</sub> is more than 3.5V, a bit line BL<sub>a</sub> is sensed and the re-write-in data latched are "0" so that a node N5 may become "H" with a flip-flop FF 3.

[0072] By this verification read-out actuation, re-write-in data are set up like the above (table 1) from the write-in condition of write-in data and a memory cell. it should be in a "1" write-in condition as [ show / (a table 1) ] -- nevertheless -- the memory cell of "1" write-in lack -- again -- "1" -- writing is performed and it should be in a "2" write-in condition -- nevertheless -- "2" -- "2" writing is again performed only to the memory cell of write-in lack.

[0073] Data writing is performed by repeating write-in actuation and verification read-out actuation, and performing them. The potential of each part of a memory cell array at

the time of elimination, writing, read-out, and verification read-out is shown in the following (table 3).

[0074]

[A table 3]

	消 去	書 き 込 み			読 み 出 し		ベリファイ 読 み 出 し
		"0"	"1"	"2"	第1回 読出し "L"	第2回 読出し "H"	
BLa	0V	0V	7V	8V	"0"読出し "L"	"2"読出し "H"	図21参照
WL a	20V		-12V		6V	6V	6V
Vsa	0V		0V		6V	6V	6V

[0075] Drawing 22 is a circuit which controls the data I/O between the I / O data conversion circuits 4 looked at by the flip-flop 3 and FFs 4 looked at by the flip-flop 1 and FFs 2 looked at by drawing 14 or drawing 18 and drawing 13 . If the column decoder 3 is constituted from an inverter I1 and NAND circuit G1 and the column activation signal CENB serves as "H", the decoder output chosen by the address signal will serve as "H", and Nodes A, B, C, and D will be connected with IOA1, IOB1, IOA2, and IOB2, respectively. Nodes A, B, C, and D are nodes 6, 5, 8, and N 7 in a node 1, 2, 3, and N 4 and drawing 18 at drawing 14 , respectively. Read-out / write-in data when a bit line BLa is chosen, and the relation of IOA1, IOB1, IOA2, and IOB2 are as in the following (table 4).

[0076]

[A table 4]

書き込みデータ	IOA1	IOB1	IOA2	IOB2
0	L	H	—	—
1	H	L	L	H
2	H	L	H	L

(a)

読み込みデータ	IOA1	IOB1	IOA2	IOB2
0	H	L	H	L
1	L	H	H	L
2	L	H	L	H

(b)

[0077]

[Effect of the Invention] Controlling buildup of circuit area according to this invention, as explained above Three write-in conditions are set [ in addition ] as one memory cell. And and write-in time amount until it changes into each write-in condition of each memory cell By performing write-in verification control, it can optimize independently and EEPROM which made it possible to store threshold distribution of the memory cell written in eventually in the range small at a high speed can be obtained. Moreover, also when setting two or four write-in conditions or more as one memory cell, it is possible if the main point of this invention is followed.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**